

## 第 2 章 LINUX 操作系统的基本使用方法

### 2.1 引言

目前多数集成电路 EDA 工具都运行于 UNIX 或 LINUX 环境下，学习 IC 设计技术必须掌握这些操作系统的使用方法。本校集成电路 EDA 工具主要采用 LINUX 操作系统，多数情况在虚拟机环境下使用，本章主要介绍这种使用方法。旧版本的 EDA 工具使用 Linux Red Hat 7.2，如需使用可参阅旧讲稿《Cadence 实验教程》，本章主要介绍新版本（2010 年开始使用）的虚拟机环境。

### 2.2 启动虚拟机

双击桌面上的 VMware Workstation 图标，将出现图 2-1 所示的窗口。首次使用需正确选择虚拟机，操作方法为 File→Open，然后要找到 F 盘下的 VPC2010，打开其中的“Red Hat Enterprise Linux”，并在出现提示后选择“Move”方式，打开后，窗口中的内容应与图 2-1 相同。

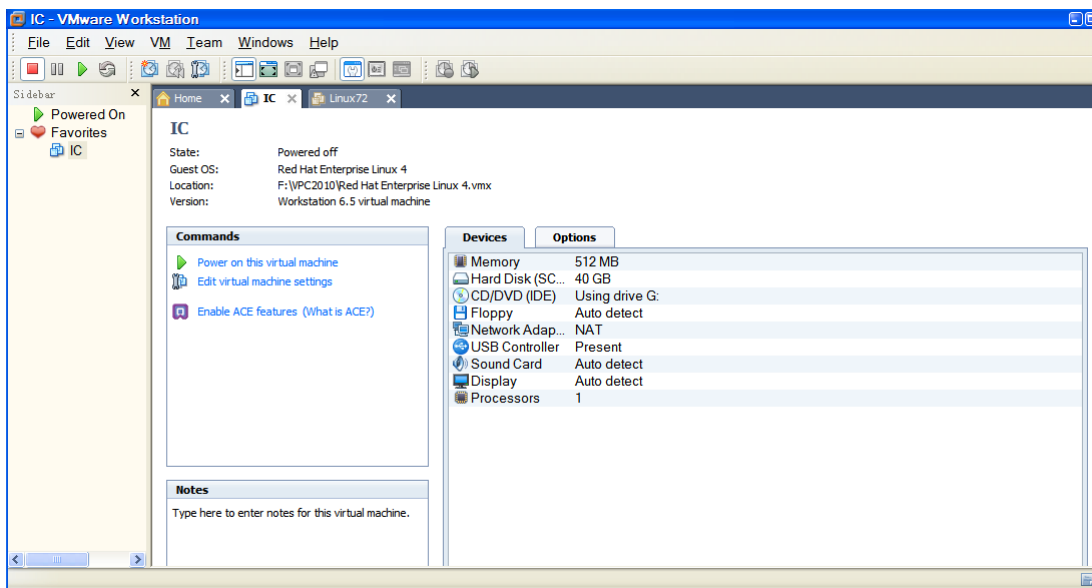


图 2-1 VPC2010 虚拟机

如果直接出现图 2-1，并有多个待选虚拟机时，做 IC 设计应选“IC”。确认虚拟机后，在点击“Command”下的“Power on the virtual machine”，启动虚拟机。正确启动后应出现图 2-2 所示画面。

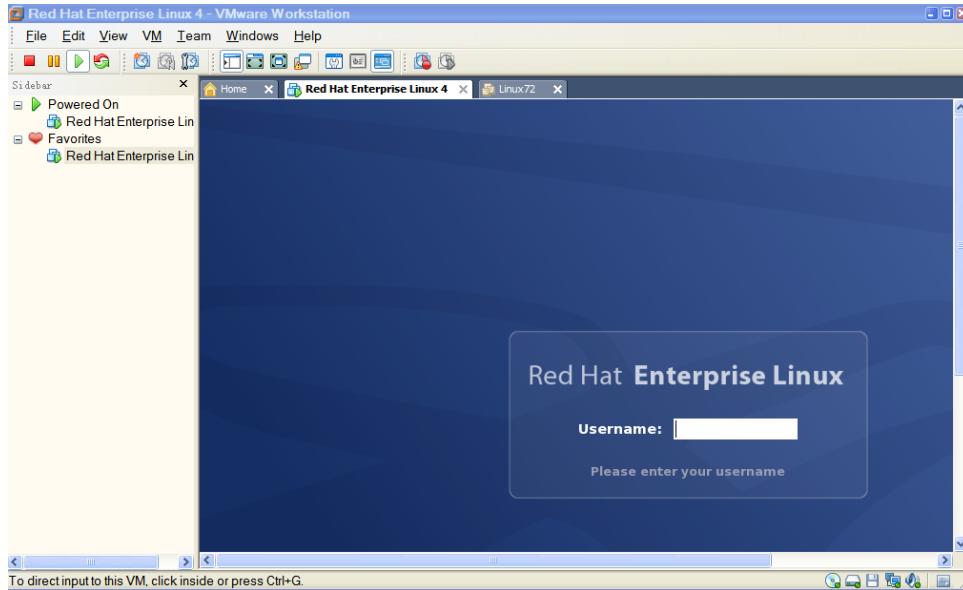


图 2-2 用户登录画面

看到图 2-2 后，用鼠标在“Username :”的窗口里“点”一下，就可以输入用户名和密码了。用户名有多种选择，取决于要使用的 EDA 工具。如果想使用 Cadence 环境进行全定制设计环境，用户名为 **cdsusr**，要使用 Synopsys 的 DC 或 PT 等工具进行数字 ASIC 设计或 SoC 设计，要输入 **socusr**，需要使用 NCSU 学习环境则输入 **ncsu**，输入用户名后按回车键，系统将提示输入密码，以上用户密码均为 **123456**。Linux 操作系统的命令是区分大小写的，输入用户名时一定要注意，以上用户名都是小写。

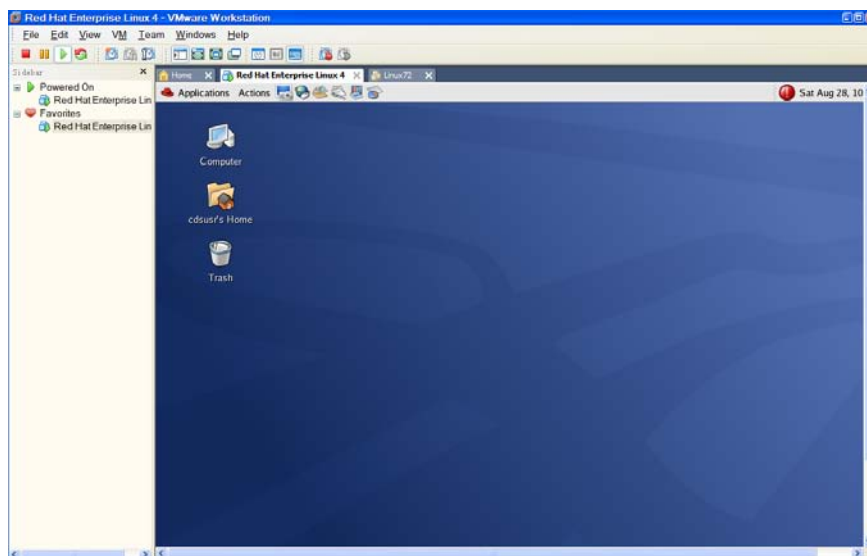


图 2-3 登录后的画面

正确登录后画面如图 2-3 所示，这时虽然已经可以操作，但虚拟机还没有全屏显示。

待屏幕完全稳定后，点击 View→Full Screen 可以使虚拟机全屏显示，如图 2-4，现在已完成了启动过程，相当于进入了一台使用 Linux 操作系统的机器。将鼠标指向屏幕中上方可以找到将虚拟机恢复为窗口的方法，同时按“Ctrl Alt”键也可使鼠标的操作范围回到 Windows。在虚拟机窗口范围点击一下，就可用鼠标操作虚拟机。使用虚拟机最好在全屏显示方式下操作，暂时“忘掉”Windows 操作方法。在彻底退出前，应始终按 Linux 操作系统的方法操作，不要频繁在 Linux 和 Windows 之间切换。

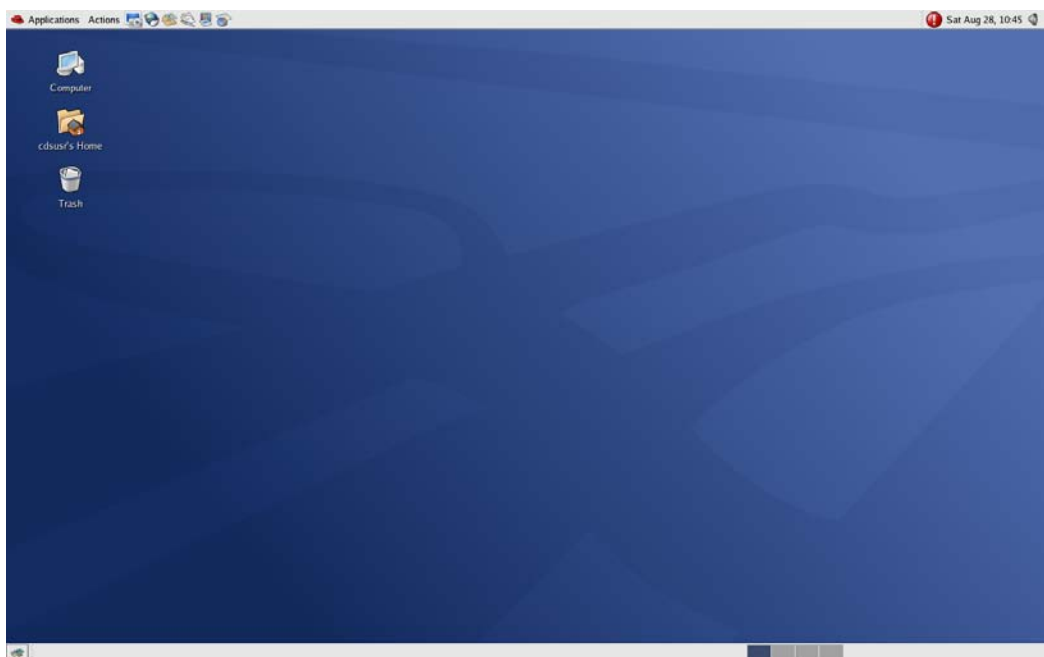


图 2-4 Linux 企业版 4 的操作界面

### 2.3 Linux 系统的特点

Linux 操作系统的设计思想与 Windows 有较大区别，初学者应逐渐理解和体会以下概念。

#### (1) 文件和路径

Linux 将计算机的所有资源都理解为文件，连显示器、光驱等硬件设备也是“文件”。Linux 没有磁盘分区概念，不存在 C 盘、D 盘等，所有“文件”组织为一个统一的文件系统，按目录方式管理。最高层的目录称为“根目录”，用

“/”表示，系统中的所有文件都保存在根目录下的各个子目录中。文件通过“路径”定位，路径有绝对路径和相对路径两种表示方法。绝对路径是从根目录开始，包含全部中间子目录的表示法，例如“/home/cdsusr/cds/pex/inv\_rc.sp”，表示文件 inv\_rc.sp 存放在根目录下的 home 子目录下的 cdsusr 子目录下的 pex 子目录中。另一种定位文件的方法是使用相对路径，“.”表示当前路径，如果已经进入“/home/cdsusr”，则“.”就与“/home/cdsusr”等价，可以使用“./cds/pex/inv\_rc.sp”来定位前面用绝对路径定位的文件。

## (2) 图形操作和命令操作

Linux 的图形操作界面看起来与 Windows 很相似，但主要用于对文件操作。文件的复制、剪切、移动、删除等操作都可以在图形界面下进行，方法与 Windows 基本相同。在 Linux 下，启动应用程序一般要使用命令，不能使用双击图标的方式。启动应用程序通常需要先通过命令进入特定的目录，在不同的目录下启动同一个软件，可能有不同的效果，这是 Linux 与 Windows 的重要区别。由于这个原因，使用 Linux 必须掌握输入命令的方法并熟悉一些常用命令。

## (3) 用户和权限

Linux 操作系统是一种“多用户操作系统”，一台机器通常有多个用户，每个用户有自己的私有文件。从另一个方面看，任何文件或目录都有一个访问属性，其中规定了它的拥有者，并规定了对其读、写和执行的访问是否开放。除“root”用户外，普通用户只能访问自己的或操作属性开放的文件。从 root 登录可以修改文件的属性和用户密码，因此可以访问任何资源。

## (4) 大小写敏感

Linux 操作系统的命令、文件和路径都是对大小写敏感的，即“区分大小写”。例如，“cp”和“CP”不等价。

## 2.4 基本操作练习

### (1) 文件操作

假设是从 `cdsusr` 登录的，在桌面上应该看到一个“`cdsusr's home`”的图标，“双击”该图标会弹出一个窗口，其中是该用户的文件（见图 2-5）。

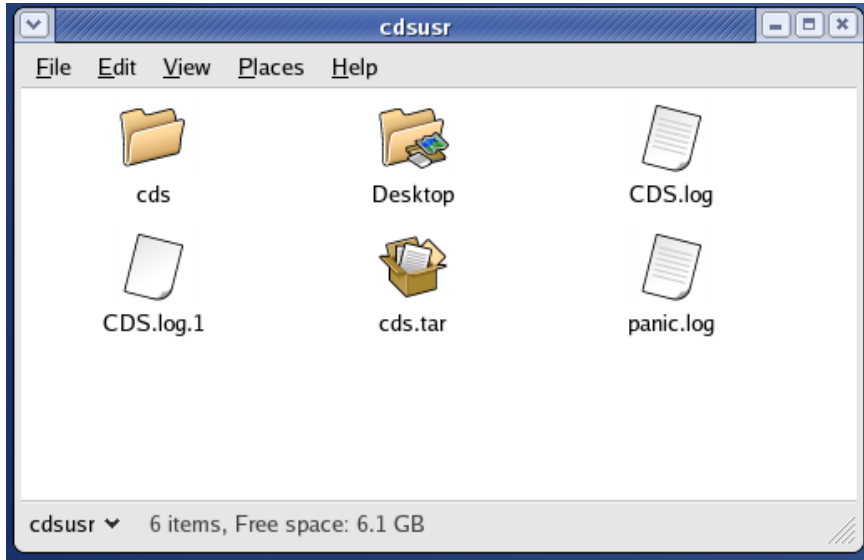


图 2-5 `cdsusr` 目录的内容

查看该目录下的文件，只要双击目录的图标即可。要访问其它上一级目录的内容，则需要点击左下角的“`cdsusr v`”，将出现 3 种选择，即“/”，“`home`”和“`cdsusr`”。“`home`”是 `cdsusr` 的上一级目录，点击后将出现图 2-6，其中有红圈的目录是当前用户无权访问的。

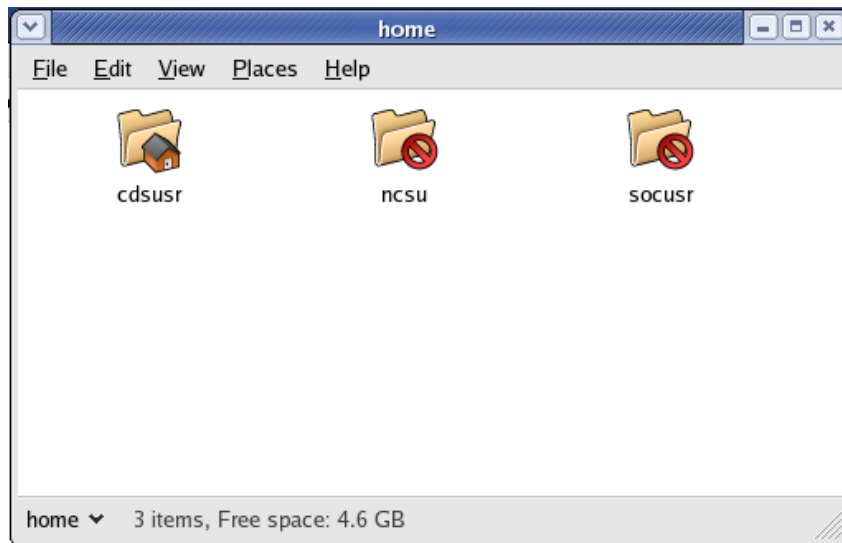


图 2-6 `home` 下的内容

选择“/”就进入了根目录，从根目录出发可以找到任何允许访问的文件。本节的练习是从/mnt/hgfs/share 中拷贝任意一个文件到/home/cdsusr。/mnt/hgfs/share 是 linux 与 Windows 的共享目录，该操作是检验该通道是否已经建立。

现在回到 cdsusr 的文件窗口，练习目录的创建和文件拷贝、粘贴等基本操作。在图 2-5 的窗口中，使用 File→Create Folder 操作可以建立一个目录，先选中一个文件，再使用 Edit→Copy File 操作可以拷贝文件，使用 Edit→Paste Files 操作可以粘贴文件。这些操作与 Windows 系统几乎完全相同。在窗口的空白处点鼠标右键，也可以实现这些操作。

### (2) 虚拟机与 Windows 之间的文件交换

当前版本支持直接拷贝，例如在 Linux 下拷贝一个文件，然后将虚拟机恢复为窗口模式，回到 Windows 就可以直接粘贴。在 Windows 下拷贝一个文件，也可以粘贴在 linux 的桌面上。尽管这样操作比较方便，但正规的文件传递方式是通过共享目录来传递。Linux 下的/mnt/hgfs/share 与 Windows 下 F 盘的 share (如不存在，可自己建) 目前，设为两个系统共享空间，利用共享空间传递文件比较可靠。

### (3) 学习操作命令

在 LINUX 的桌面的(蓝色)空白区域点击鼠标右键，然后选择“Open Terminal”打开命令输入窗口（见图 2-7），就可以输入命令了。

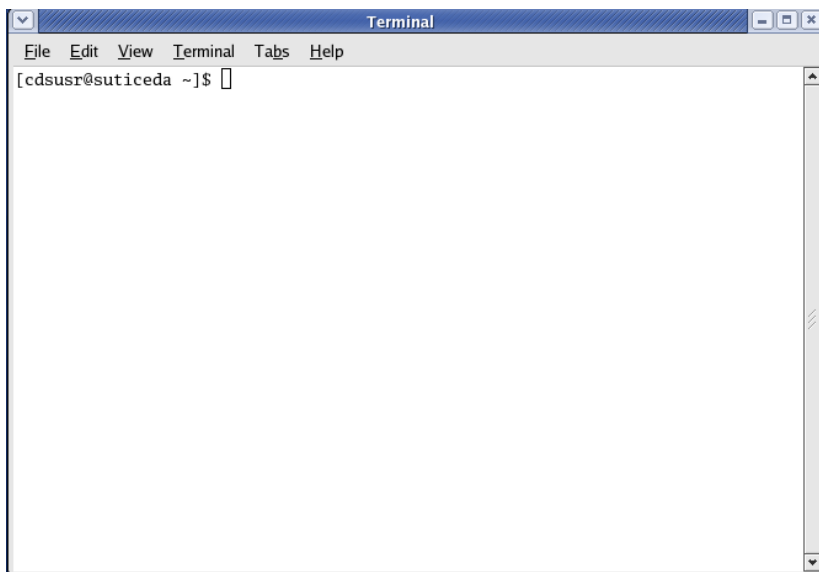


图 2-7 命令输入窗口

以下操作命令是必须掌握的：

- **cd**（目录切换）命令

这个命令用来进入某个特定目录，常用使用方法如下：

`cd /tools/cds5` 这种方式用来进入一个绝对路径表示的目录（`cd` 后有空格）。

`cd ..` 用来进入当前目录的上一级目录。

`cd work` 用来进入当前目录下的 `work` 子目录（假设其存在）。

- **pwd**（显示当前目录）命令

这个命令用来显示当前所处的目录。当你不知道自己目前在哪个目录下时，输入该命令后，系统会告诉你所在的位置。

- **ls**（列表）命令

这个命令用来列出当前目录下的内容。如果需要看隐藏文件，需要输入 `ls -a`。

- **cp**（拷贝）命令

例 1: `cp /mnt/hgfs/share/cnt.v /home/socusr/dc`

例 2: `cp -r /home/socusr/dc /mnt/hgfs/share`

其它常用命令见本章附录，应在逐步掌握。

## 2.5 退出虚拟机

Linux 操作系统在关机时需要处理很多数据和文件，最怕突然断电。要退出虚拟机环境，不要直接关闭虚拟机的窗口（相当于直接断电），这样很容易破坏 Linux 下的文件，正确方法是点击 Linux 菜单中的“Action”（见图 2-9），然后选择“log Out”。

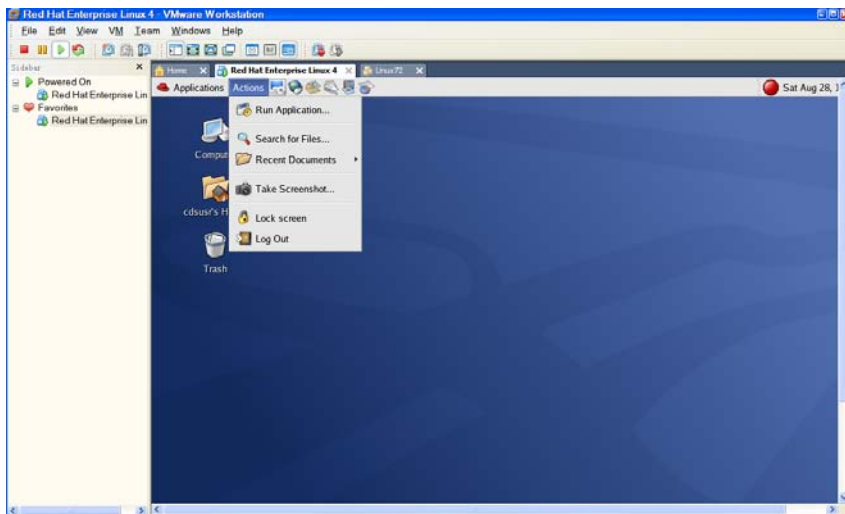


图 2-8 退出方式

这时将弹出图 2-9 所示菜单, 选择“Shut down”, 然后点“OK”。“Shut down”只会关闭虚拟机, 不会给计算机断电。

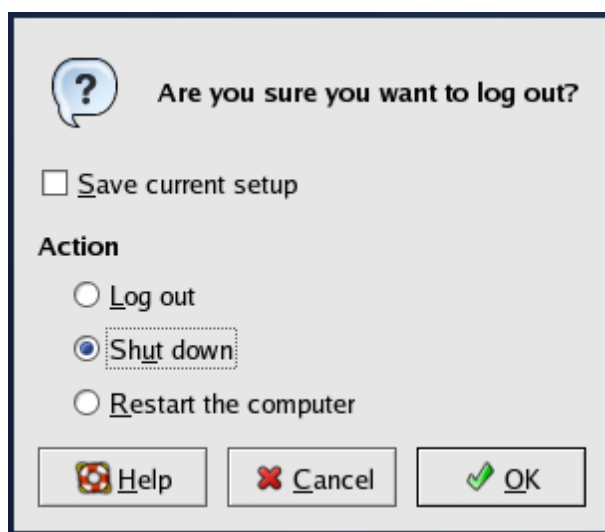


图 2-9 退出询问窗口

按此方式操作, 将执行 Linux 的正常关机程序。当前版本的虚拟机有 40G 的内容, 安装十分困难, 要保持系统正常运行, 正确的关机方法至关重要。

## 2.6 熟悉设计环境

如果对 Linux 的基本操作已基本了解了, 就可以进一步熟悉一下设计环境。首先介绍 cdsusr 用户的设计环境。

**cdsusr** 用户主要是为学习全定制设计流程准备的设计环境。在这个环境下, 可以使用的 EDA 工具软件主要有 Cadence IC5.1、Mentor 的 Calibre 和 Synopsys 的 Hspice。后两种工具即可独立使用, 也可从 Cadence 的 DFII (或称 ICFB) 下启动。这些工具可以支持完整的全定制设计流程, 包括原理图编辑、仿真分析、版图设计、设计规则检查 (DRC), 版图与原理图对比 (LVS) 以及寄生参数提取和 (布线) 后仿真。由于 **Cadence** 初始化文件在 **cds** 目录下 (绝对路径为 /home/cdsusr/cds), 必须先用命令进入 **cds** 才能正确启动 **Cadence**。2010 版本的设计环境支持两种工艺, 一种是 0.5 $\mu$ m 混合信号 CMOS 工艺, 库名为 st02。另一种是 0.5 $\mu$ mBCDMOS 工艺, 库名为 st3000。在 **cds** 目录下有多个子目录, 其中 **ref\_libs** 中是参考库 st02 和 st3000, **design\_libs** 用来保存自己的设计, **caliber\_rules** 中是 **drc** 和 **lvs** 等环节需要的规则文件, **hspice\_models** 保存 hspice 格式的模型库, **spectre\_models** 中保存的是 spectre 格式的 spice 模型。 **drc**、**lvs**、**pex** 分别是运

行 Calibre 的 DRC、LVS 和 PEX（寄生参数提取）时运行目录。

打开命令窗口，用 `cd cds` 命令进入 `cds`，在输入 `icfb`，回车，即可启动 Cadence 的 ICFB 设计环境。如果能够看到图 2-10 所示的窗口，就证明 Cadence 工具基本可用。

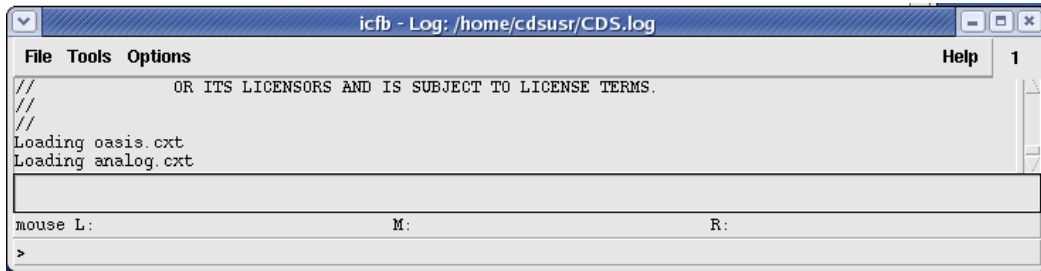


图 2-10 Cadence 的命令解释（主）窗口

退出 Cadence 的方法是，点菜单上的“File”，然后在弹出的子菜单中点“Exist ...”。以后这种操作将描述为 `File→Exist ...`。

socusr 用户是为学习大规模数字集成电路和 SOC 准备的设计环境。在这个环境中可使用 Synopsys 的逻辑综合工具 Design Compiler (DC)，时序分析工具 Primitime (PT)，Cadence 的自动布局、布线工具 Soc Encounter 等。这个环境也可使用 Cadence ICFB 环境和 Calibre，但设置有所不同。

大多数 IC 设计工具都在 Linux 平台下使用，给大家提供的虚拟机不是一个简单的工具软件，而是一个相当完整的集成电路设计平台（40G），其中包含多种重要的 EDA 工具，这些工具在毕业设计环节和研究生学习阶段也要使用。目前许多工具目前虽然已经安装，但设计环境（支持运行的技术文件）还没有建立起来，以后会陆续提供给大家。

## 第 3 章 原理图输入与仿真分析

### 3.1 引言

从本章开始，我们以一个反相器的设计为例介绍全定制设计的流程。为突出 EDA 工具的使用方法，假设反相器中晶体管尺寸已经确定，参数见表 3-1。设计使用的工艺是 CSMC 公司的 0.5 $\mu\text{m}$  混合信号 CMOS 工艺，该工艺的基本元件库为 **st02**，存放在参考库（ref\_libs）中。

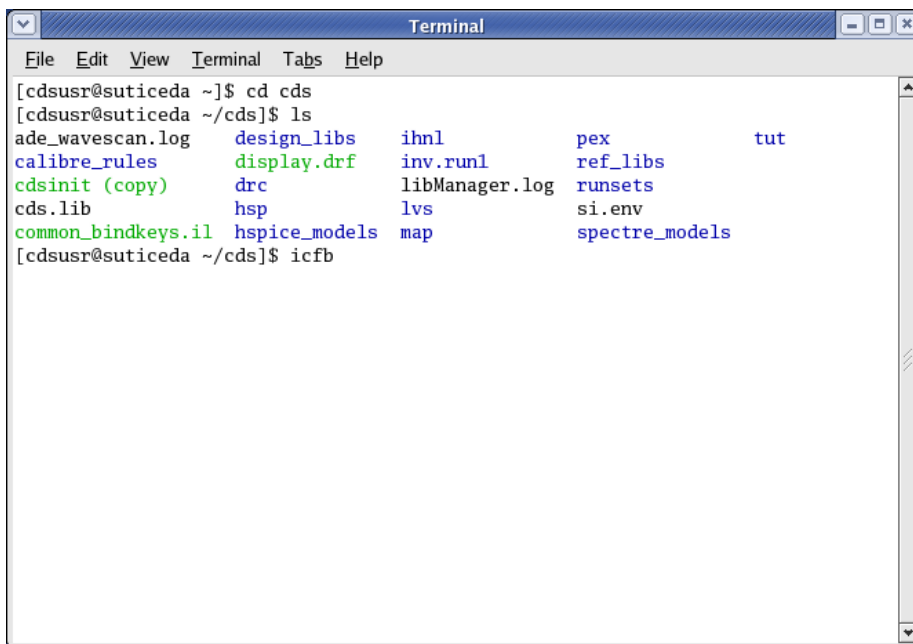
表 3-1 反相器参数

	W	L
P 管尺寸	2.1 $\mu\text{m}$	550n
N 管尺寸	800nm	550n

### 3.2 建立设计库

以下所有操作必须使虚拟机处于全屏显示状态，否则可能看不到某些窗口。在 Cadence 的 DFII 环境下，做任何设计都要首先建立一个“库”，“库”不是一个简单的目录，通常需要与工艺文件相关联，因此建库是十分重要的环节。

- (1) 启动虚拟机（见第 2 章）
- (2) 进入 cds 目录（打开命令窗口，输入 `cd cds` 回车）。



```
Terminal
File Edit View Terminal Tabs Help
[cdsusr@suticeda ~]$ cd cds
[cdsusr@suticeda ~/cds]$ ls
ade_wavescan.log  design_libs  ihnl          pex           tut
calibre_rules    display.drf  inv.run1     ref_libs
cdsinit (copy)   drc          libManager.log runsets
cds.lib           hsp         lvs          si.env
common_bindkeys.il hspice_models map           spectre_models
[cdsusr@suticeda ~/cds]$ icfb
```

图 3-1 启动目录和启动命令

(3) 输入 ls 命令确认环境

现在应看到图 3-1。注意，一定要进入 cds 目录，然后才能启动 Cadence，这是因为在 cds 目录下存有 Cadence 初始化文件 (.cdsinit)，启动 Cadence 时，软件将使用该文件。

(4) 输入 icfb，回车，启动 Cadence 的 ICFB 设计环境。

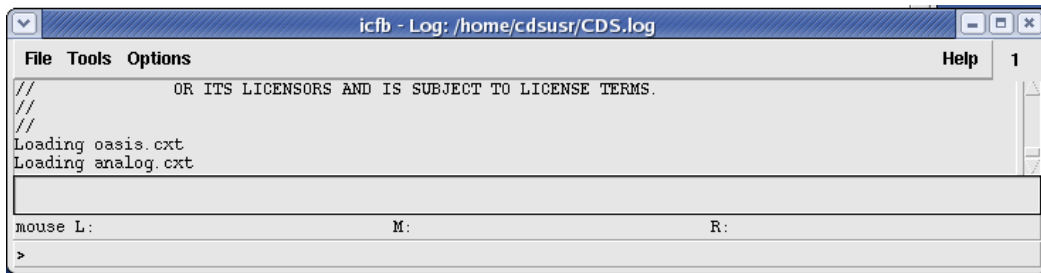


图 3-2 Cadence 的主窗口 (CIW)

启动过程结束后应出现两个窗口，一个是如图 3-2 所示的主窗口，也称为命令解释窗口 (CIW)，在操作过程中，该窗口不能关闭。另一个窗口是关于版本的信息 (见图 3-3)，看过后可以关闭。

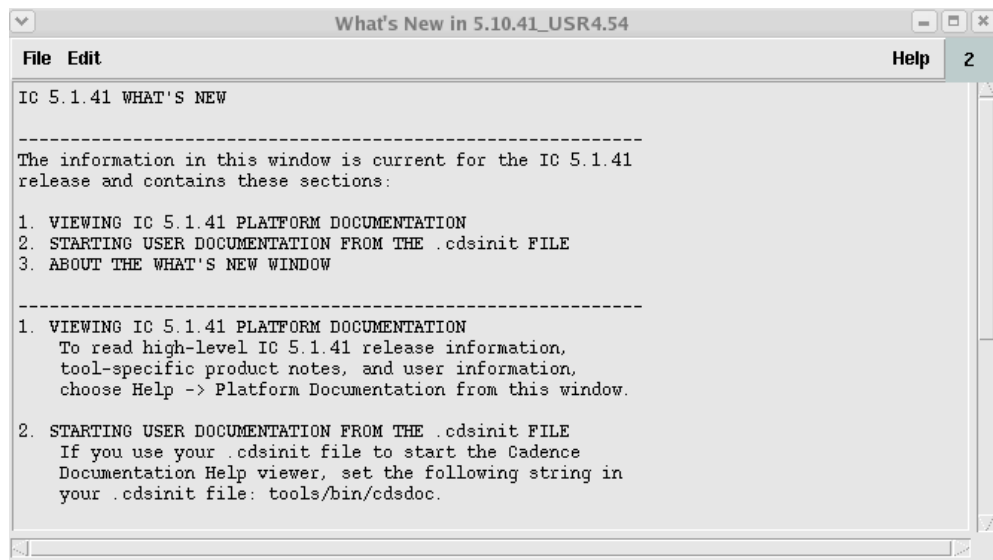


图 3-3 版本信息窗口

### (5) 打开库管理器

用鼠标点击“CIW 窗口”的“Tools”将弹出一个子菜单，其中是各种工具的名称，然后选择“Library Manager”（注意，对这种操作以后将描述为 Tools→Library Manager），这时会弹出库管理器的操作窗口（见图 3-4），以后的操作将主要在这个窗口进行。

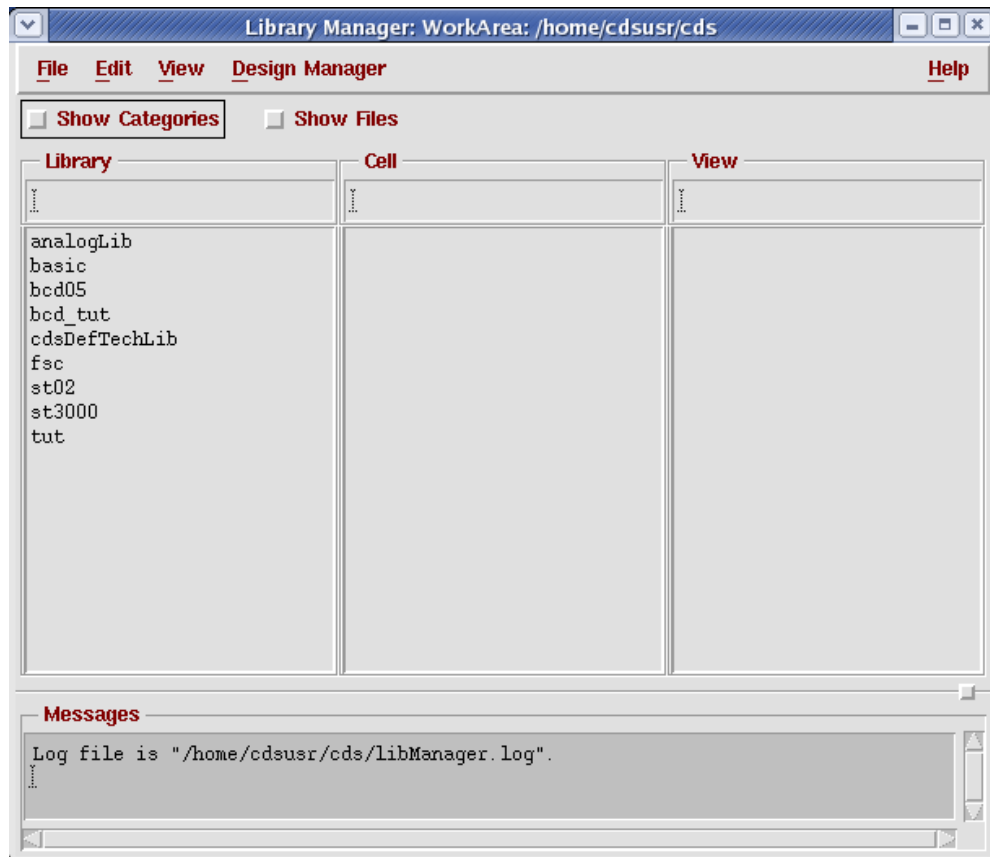


图 3-4 库管理器窗口

### (6) 建立设计库

在库管理器的操作窗口中，进行如下操作 File→New→Library，将弹出图 3-5 所示的窗口。**Cadence** 的弹出窗口有时会被当前窗口遮盖，有时可能需要“最小化”当前窗口才能看见，这种问题在非全屏显示时更突出，因此操作时要全屏显示。

在图 3-5 所示窗口中输入库的名字和存放的位置。库的名字可以自己起，为避免错误，应符合 C 语言命名规则（字母开始，中间只使用字母、数字和下划线）。为便于维护设计环境，自己建的“库”应保存在“design\_libs”下，不要直接放在“cdsusr”下。

以上内容设置完毕后，点“OK”进入下一步。

#### (7) 选择工艺文件

现在系统将弹出图 3-6 所示的窗口，让用户选择工艺文件。选择工艺文件（Technology File）是建库过程中的关键步骤。Technology File 的作用体现在版图

设计阶段，其中定义了“层”的属性，由于典型的设计流程需要原理图视图和版图视图集中在一个“cell”中，因此在画原理图时就要选择工艺。如果工艺选择错误，在原理图设计阶段可能不容易发现，等到版图设计时就很难修改了，因此，这一步必须小心。选择工艺有两种方法，一是选择图 3-6 中的“Compile a new techfile”，这种方法主要用于第一次建立某种工艺的设计库时使用。

对于 st02 工艺，由于已经存在一个该工艺的参考库(st02)了，可以选择“Attach to an existing techfile”，软件将自动将参考库的信息复制到新建的库，操作要简单些，所以这里采用这种方法。

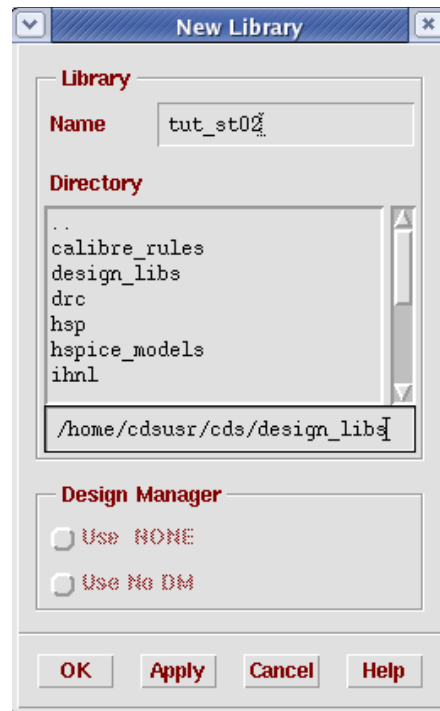


图 3-5 新建库

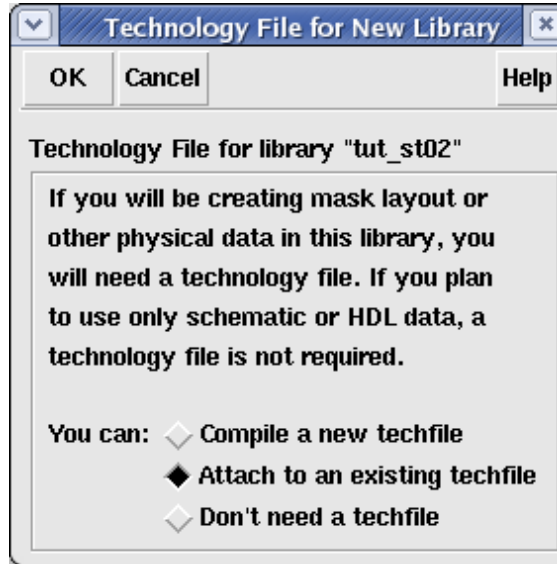


图 3-6 联结技术文件

点击“OK”后，又将弹出图 3-7 所示窗口，在“Technology Library”右边的默认库名为“analogLib”，点右边的按钮将出现其它库名，现在正确的选择是“st02”。

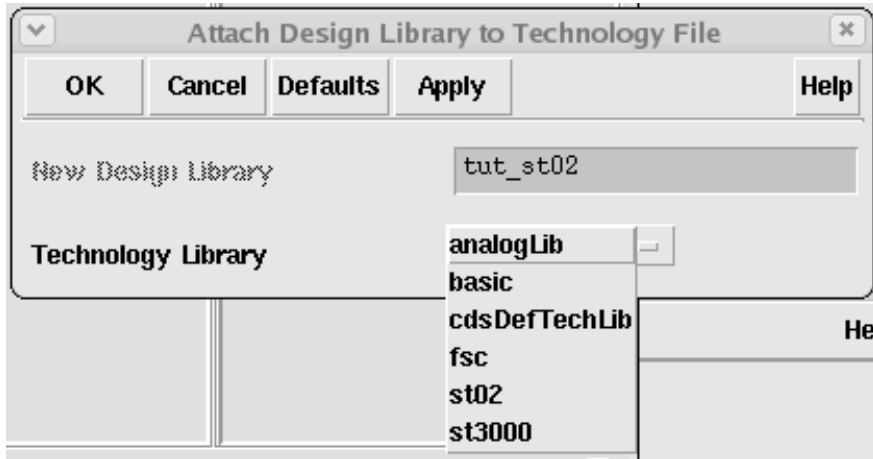


图 3-7 选择需要连接的库

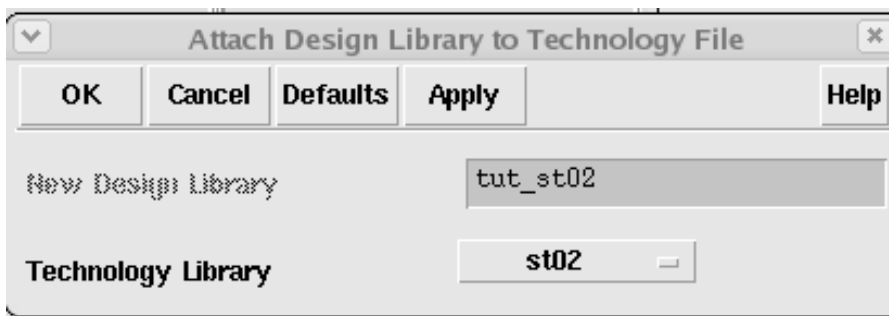


图 3-8 连接 st02 库

在图 3-8 所示的状态下点“OK”就完成了库的建立过程。建库结束后，在庫管理器的窗口中应看到该库的名字。

#### (8) 建立原理图视图

为将视图建立在上一步建立的库中，需要先用鼠标在该库名上点一下，使该库名上出现灰色底纹，然后再进行以下

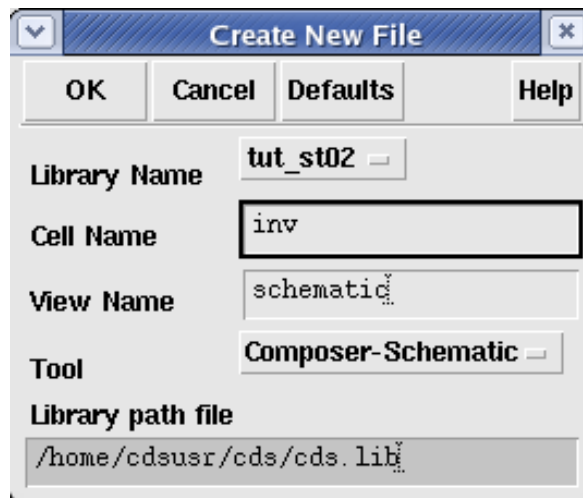


图 3-9 新建原理图视图

操作：File→New→Cell View，这时将弹出图 3-9 所示的窗口。填写“Cell Name”为“inv”（要根据设计内容起名），然后点“OK”即可，系统将弹出原理图编辑窗口（见图 3-10）。

### （9）绘制原理图

首先需要放置器件，菜单操作方法为 Add→Instance，执行后将出现图 3-11 所示的对话框。

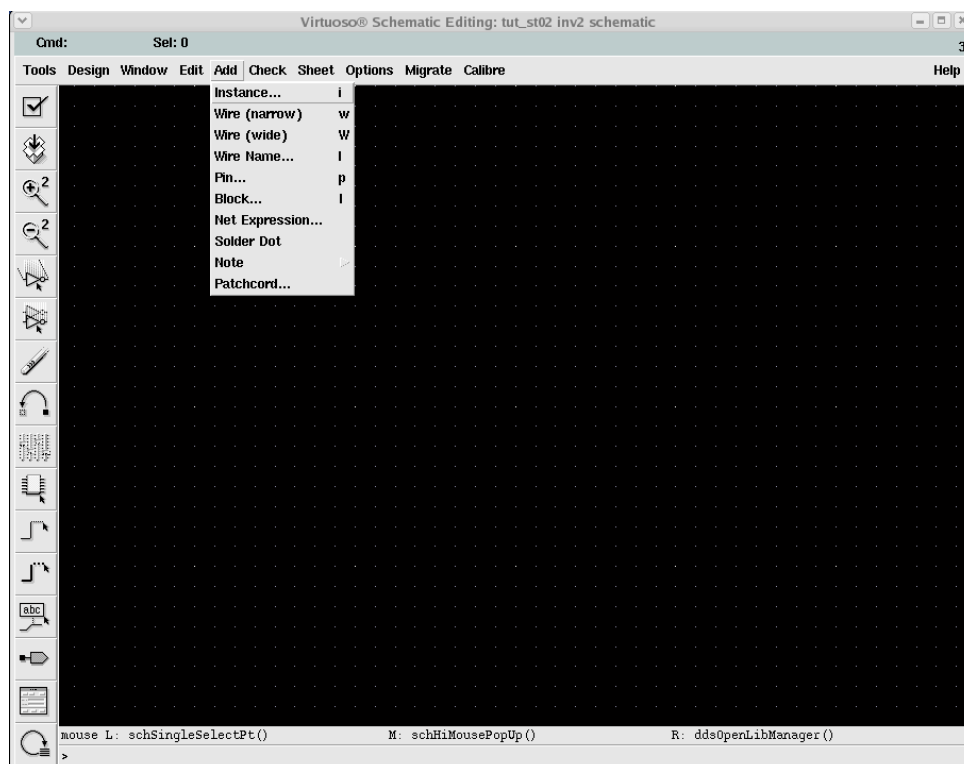


图 3-10 原理图编辑窗口

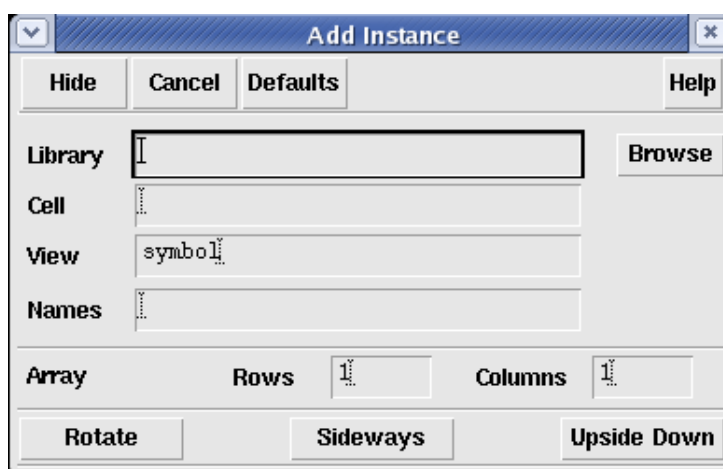


图 3-11 添加器件的窗口

点“Browse”来寻找器件。由于要设计的是反相器，首先要放置 PMOS 管和 NMOS 管，注意一定要到所用工艺（st02）库中去找，否则影响以后的步骤。

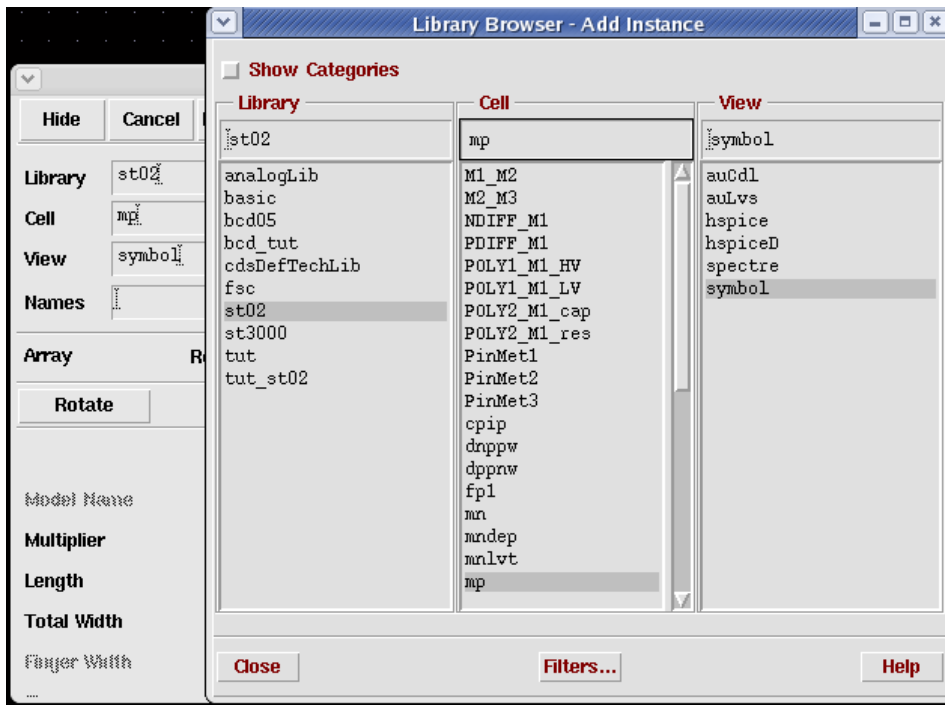


图 3-12 寻找 st02 库中 pmos 管的方法

点“Browse”后，画面会出现“Library Browser”窗口，首先点击库名 st02，然后点击 PMOS 管的名字 mp（见图 3-12），最后一定要点一下视图的类型 symbol，以后就可以将 Add Instance 的窗口关闭，并“隐藏”（点 Hide）新出现的属性窗口（以后再调整尺寸），回到原理图编辑窗口时，器件的图形应已出现，并可随鼠标移动，在适当的位置点一下，器件就放在原理图上了（见图 3-13）。

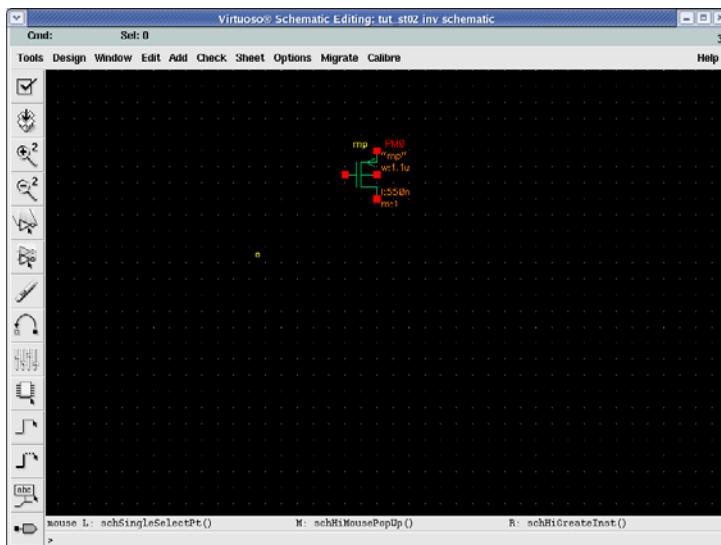


图 3-13 放置 pmos 管

用同样的方法放置 NMOS 管,选择 st02 库中的 mn,同样先不考虑尺寸问题。然后需要放电源和地的符号,这两个“器件”在 analogLib 库中,电源符号为 vdd,地线符号为 gnd (见图 3-14)。

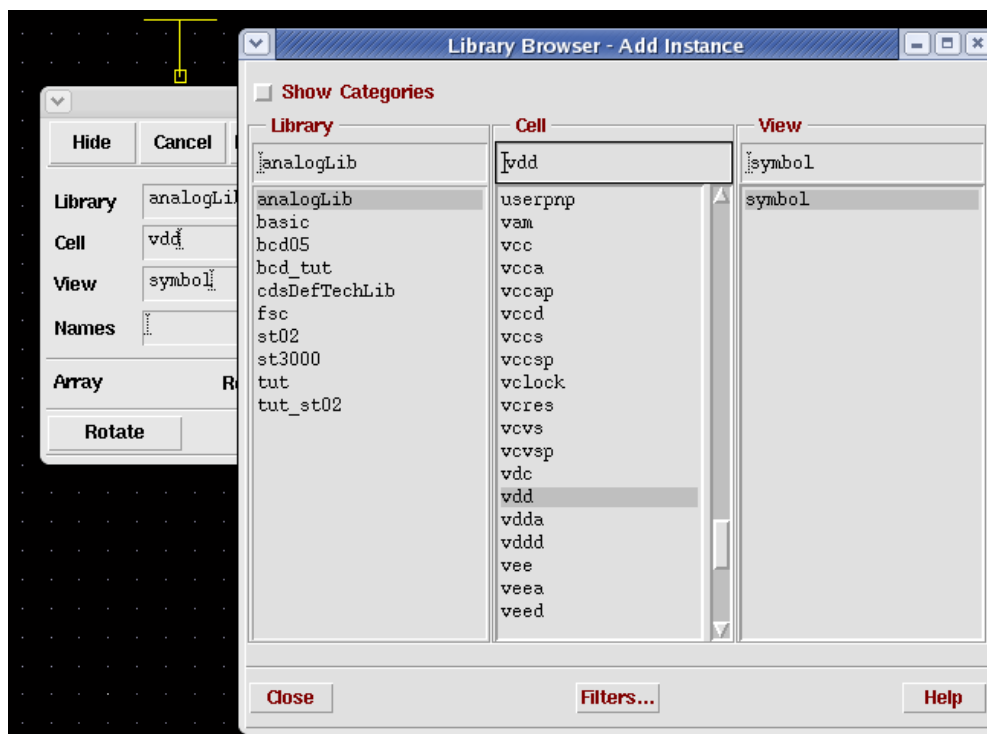


图 3-14 寻找电源符号 vdd

注意, analogLib 库中有许多符号,这里必须使用 vdd 和 gnd,因为后续操作方法是按使用这两种符号写的。

将以上器件按图 3-15 所示的位置来摆放,摆放过程可能需要使用 Move (移动)操作,移动器件的方法是先点击 Edit→Move,使鼠标左键进入“Move 模式”,然后在需要移动的器件上用鼠标左键点一下,按左键的手指松开后,再移动鼠标,就会看到器件随鼠标移动,到适当的位置再点一下,器件就放在该位置了。这种“点一下,松开,再移动”的操作方法是 Cadence 软件的统一风格,许多其它操作,如拷贝、拉伸、画线等都与之类似。Cadence 的另一个特点是具有连续性,一旦进入某种操作模式,鼠标左键的功能就一直停留在该模式。例如,通过 Edit→Delete 进入删除模式后,鼠标左键点什么就删除什么。用菜单选择新的操作可以改变模式,但有时必须先按 Esc 键才行。当发现鼠标的操作与预期操作不同时,按 Esc 键可强制回到默认模式,再重新选择需要的操作一般都可以解决。

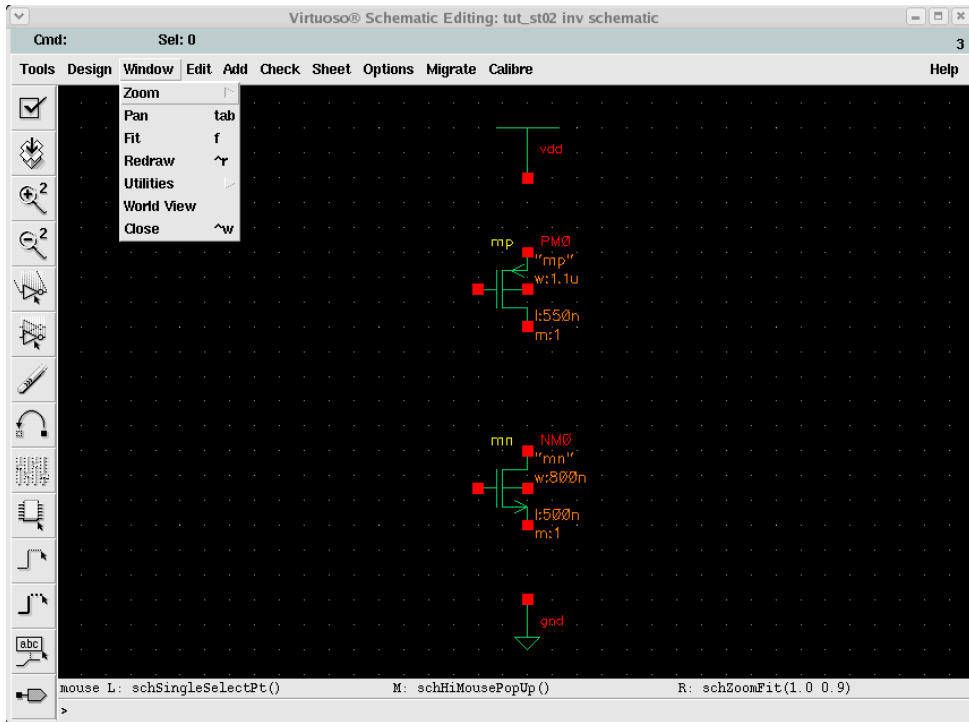


图 3-15 按原理摆放器件

摆好器件后，用 Window→fit 操作可以使器件位于屏幕中央，并能看到全部器件，这个操作也是很常用的。

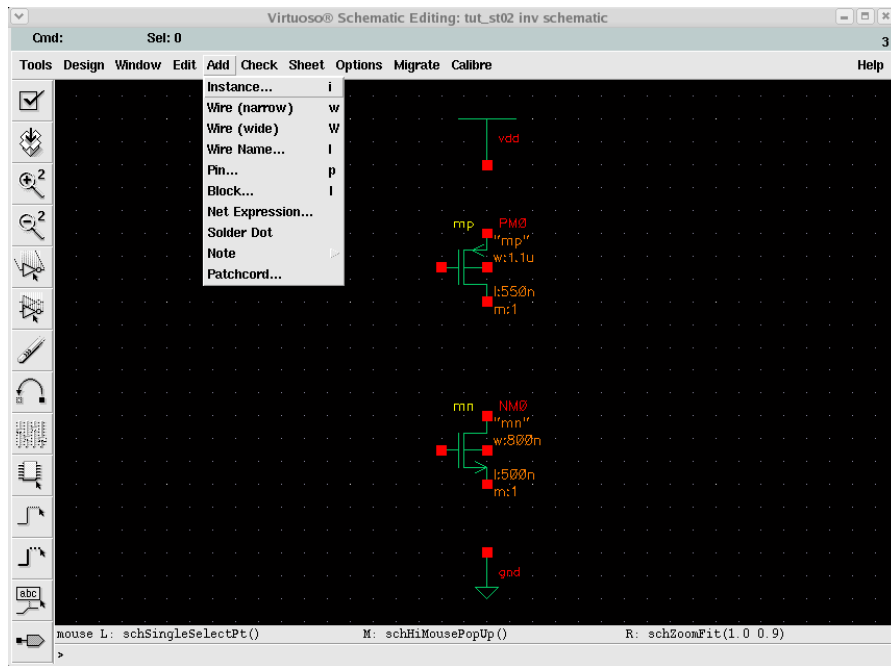


图 3-16 选择连线

绘制连线的菜单操作为 Add→Wire(narrow)，见图 3-16，熟练时也可以使用

窗口左边的快捷图标或使用快捷键。注意，在菜单右边出现的字母就是该操作的快捷键，例如 Add→Instance 右边的“i”，就是放置器件的快捷键，画线的快捷键为“w”。点 Add→Wire(narrow)以后，鼠标左键的功能就被定义为画线了，在起始处（例如 MOS 管的端子）点一下，松开左键，拖动鼠标，就会在屏幕上看到线的轨迹。如需转向，点一下，再继续移动鼠标即可。到线的终点处，如果是器件的端子，点一下即可结束画线，如果终点是悬浮的，则需要连点两下。连线结束后，应如图 3-17。

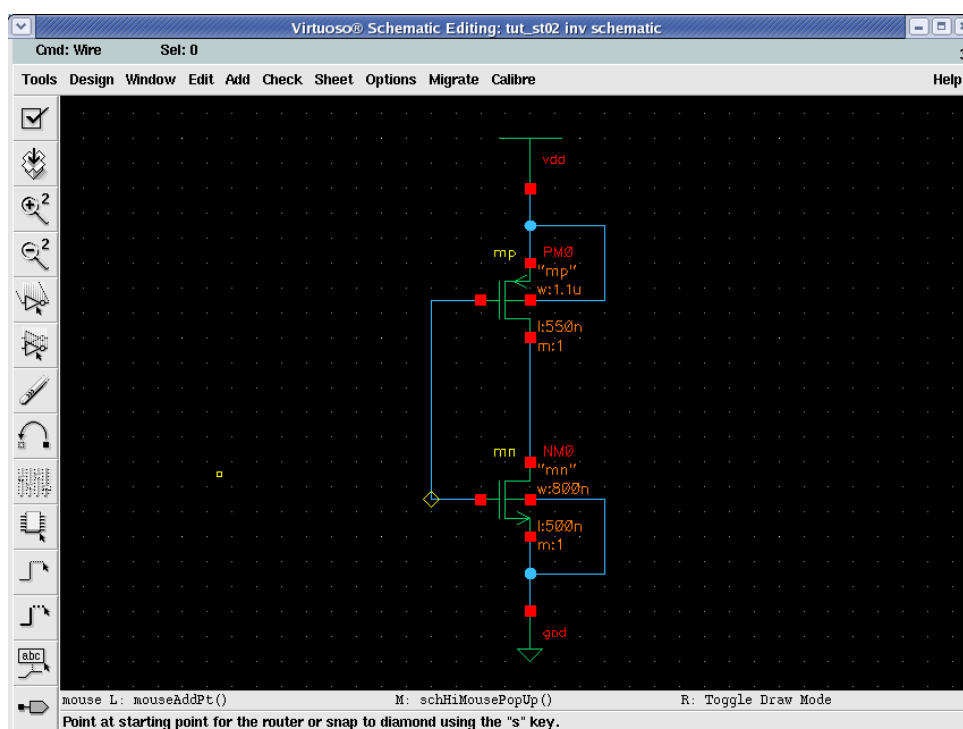


图 3-17 绘制连线

现在需要画输入、输出引脚（Pin）了，菜单操作是 Add→Pin。这时会出现图 3-18 所示的窗口，添加 Pin 时要注意选择方向（Direction）。应根据电路原理选择，有

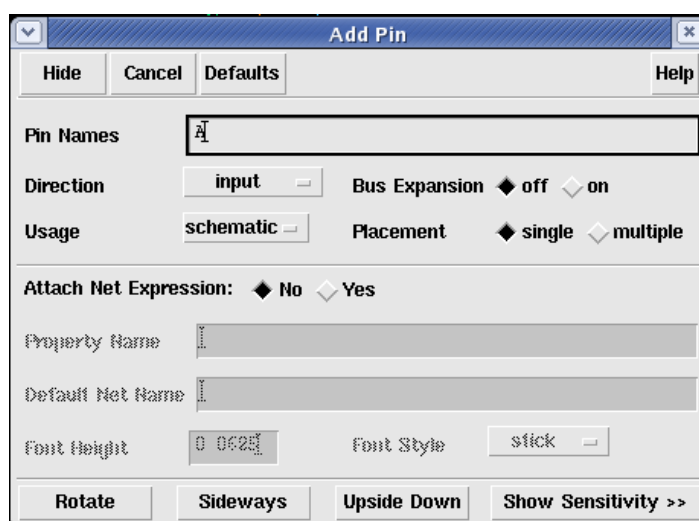


图 3-18

input、output、inputOutput 等。连线结束时，要点 Design→Check and Save（见 3-19）检查是否存在浮空的端子或违反电路规则的连接，如果存在问题，系统会提示错误或给出警告，有问题的地方会闪烁。

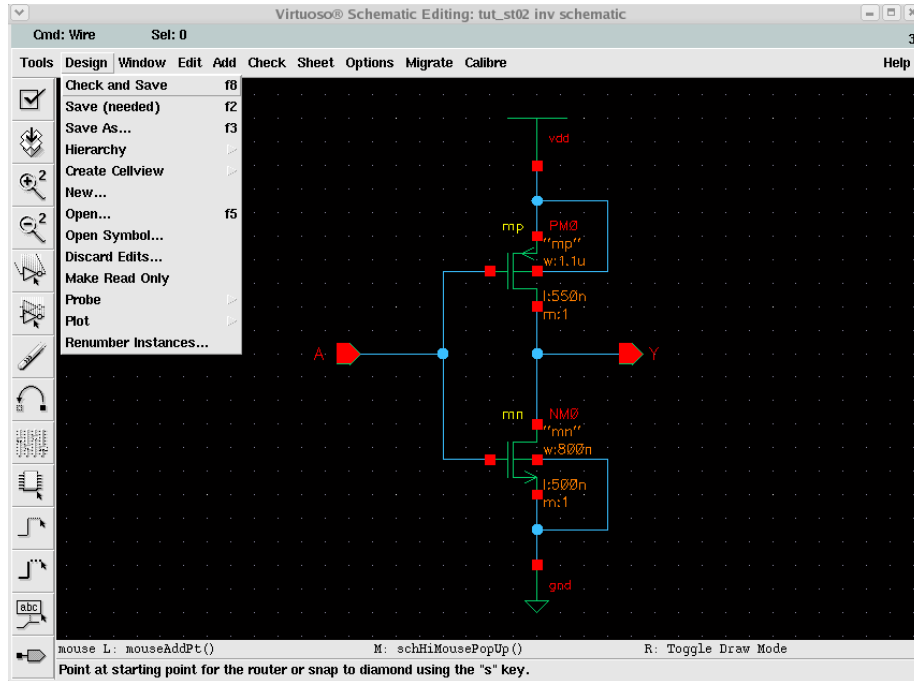


图 3-19

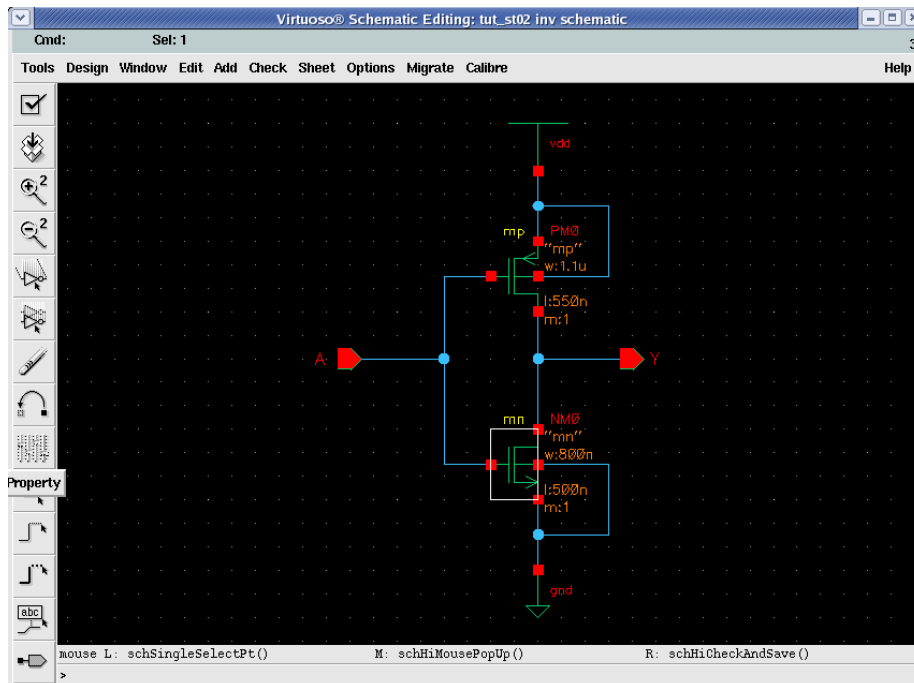


图 3-20

现在电路结构已经画完了，但器件尺寸还与要求不一致，需要修改器件的属

性。按 **Esc** 键回到默认操作模式，在需要修改的器件上点一下，使其被选中（出现白框），再点击窗口左侧的属性（Property）按钮（见图 3-20），就会弹出器件的属性窗口（图 3-21）。

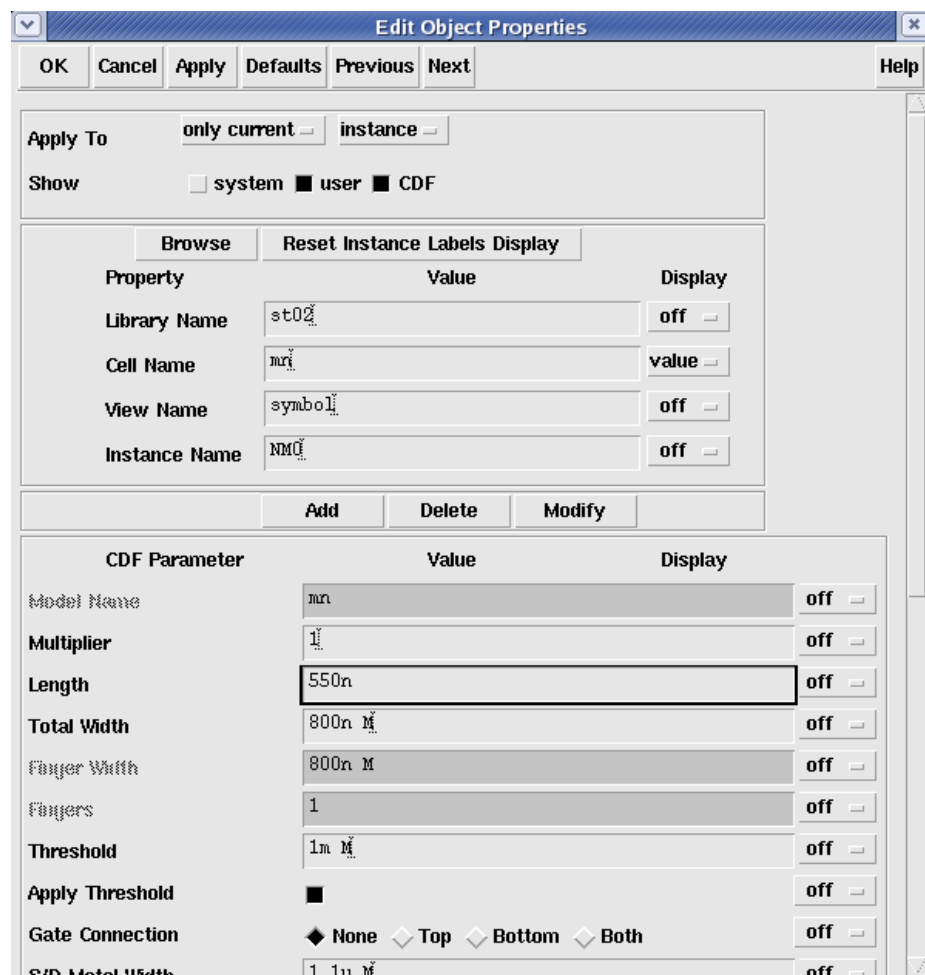


图 3-21 mos 管属性

按表 3-1，将 NMOS 管的长度修改为 550nm，P 管的宽度修改为 2.1 $\mu$ m。注意，填写尺寸时不要写单位 M，只需要填 550n，将鼠标移动到其它位置时，软件会自动加上 M，如果自己写了 M，就会变成 MM 了。

修改尺寸后，必须再点一次 Design→Check and Save，对原理图的任何修改都要重新检查，系统在该操作后会重新生成 Spice 网表。

### (10) 生成符号视图

在画好原理图后，要生成一个符号视图，使之成为一个器件，以后在其它原理图中“调用”该符号，就相当于复制了整个电路。并可利用这些器件的符号可以设计更复杂的电路，这就是所谓层次化设计。

从原理图生成符号视图的菜单操作为 Design→Create Cellview→From Cellview（见图 3-22），执行该操作后将出现依次出现图 3-23、3-24 等窗口。

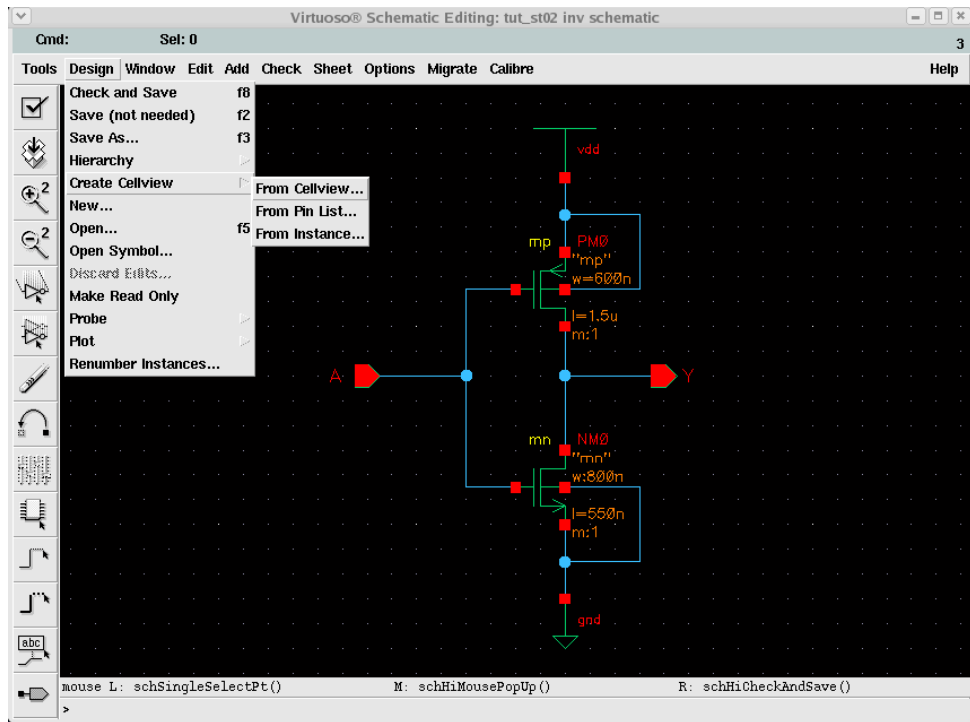


图 3-22 生成符号视图的操作

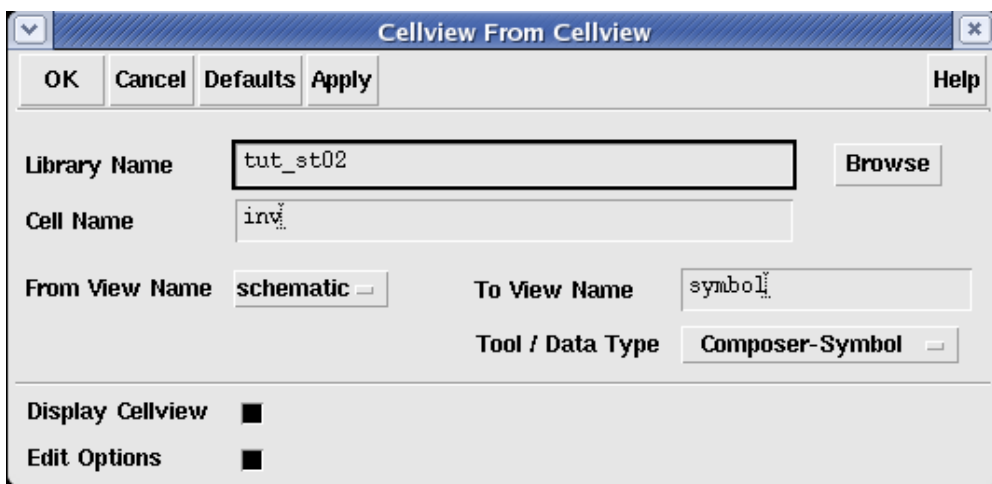


图 3-23 符号视图弹出窗口

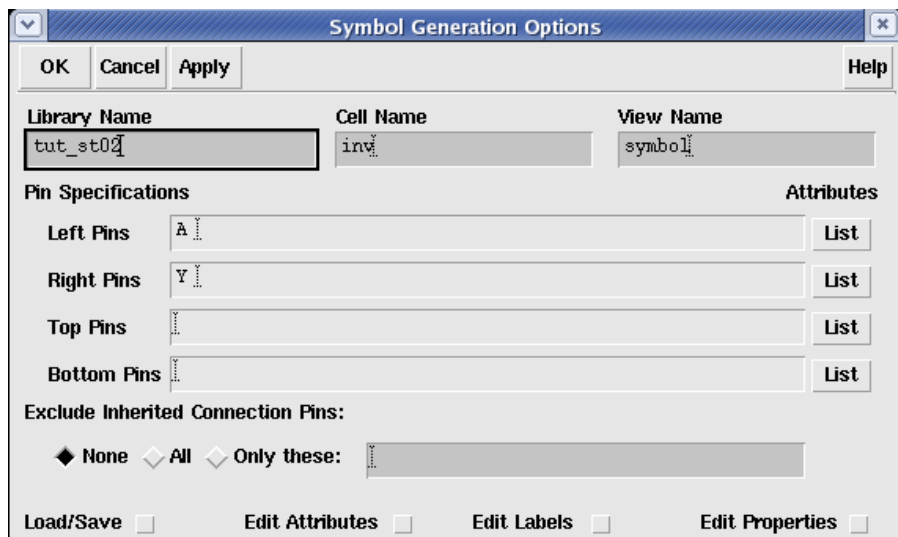


图 3-24 符号选项

这些窗口的内容都不用修改，依次点击“OK”直到出现图 3-25 所示的符号编辑窗口。

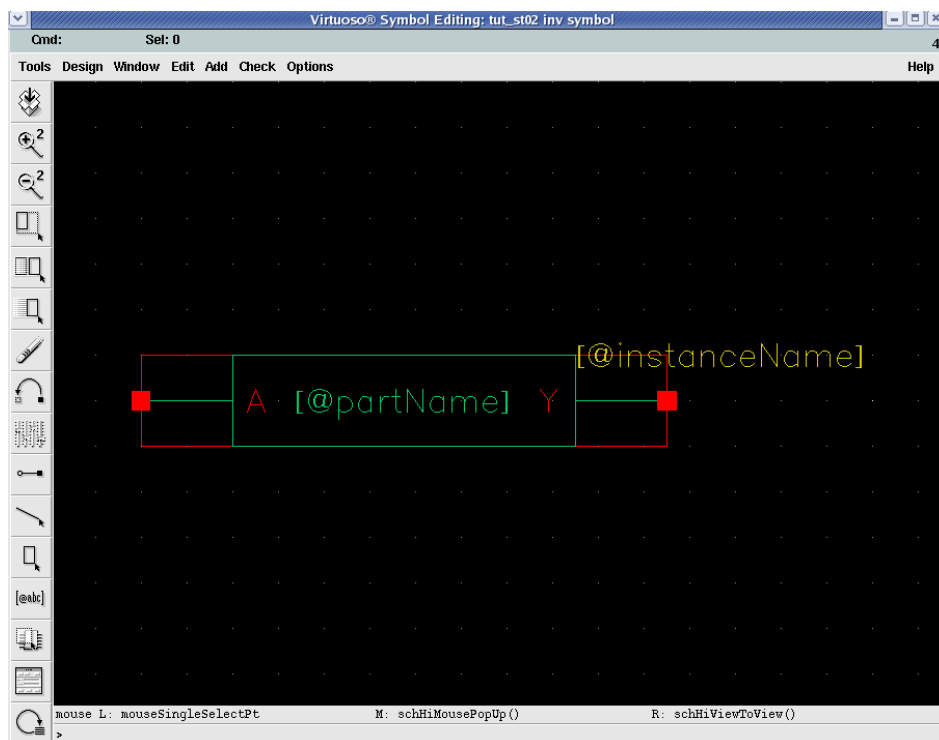


图 3-25 符号视图编辑窗口

符号编辑器实际上是与原理图编辑器具有同等地位的独立工具，操作方法与原理图编辑器很相似，菜单和快捷工具以及操作方法都几乎相同。

即使不做修改，软件生成的符号也可用，但对于逻辑门，最好要将图形修改为常见的逻辑符号的形式，例如反相器为三角型加圆圈。

图中的[@instanceName]是将来“调用”该符号时为器件分配的“例化（复制品）”名称，如 I<sub>0</sub>、I<sub>1</sub> 等。每调用一次，序号自动加一。[@partName]是对应的原理图视图的名称。不要修改这些名称，但可移动到合适的位置。

红色的方块代表引脚 Pin，绝对不能删除。红色方框决定符号的大小，可调整面积，但不能删除。绿色的框和线只决定符号的形状，与功能无关，是可以任意修改的。

首先，用移动（Move）操作移动各种名称，并删掉绿色方框，使之变为图 3-26 所示的形式。菜单操作也是 Edit→Move，以后也是按“点一下目标，松开左键，再拖动鼠标”的手法移动。

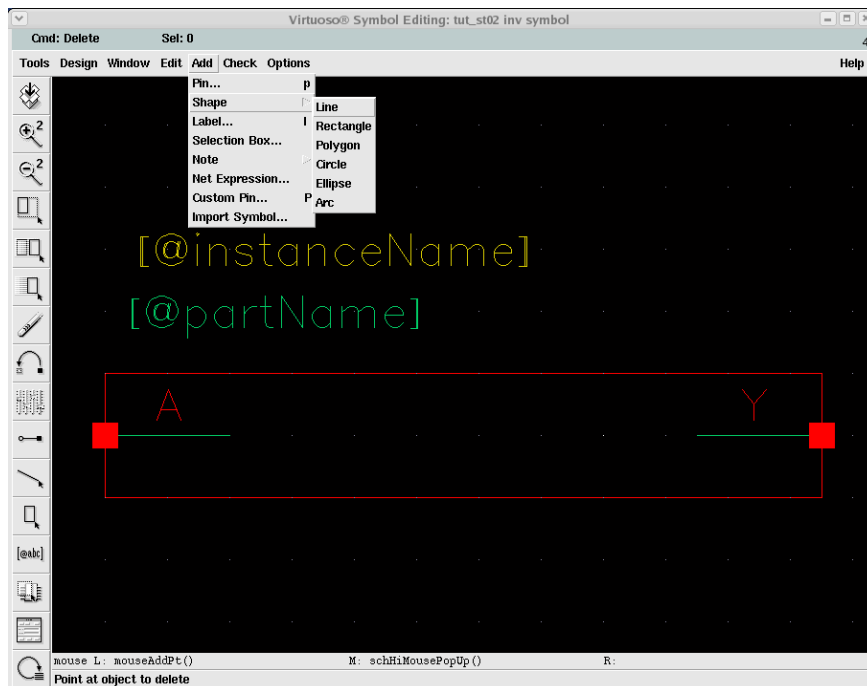


图-26 修改符号形状

符号编辑器的画线操作需要点击 Add→Shape→Line，画圆圈的方法是 Add→Shape→Circle，然后先在任意处点一下，松开左键后，向外拖鼠标。圆圈

可以在任意地方先画，然后再移动到需要的位置。

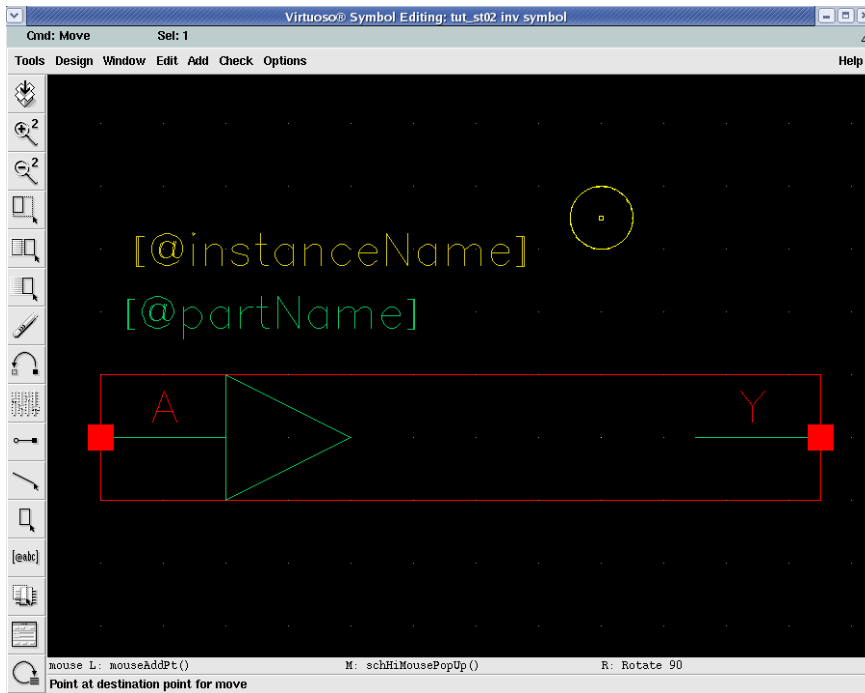


图 3-27 添加圆圈的操作方法

移动圆圈的方法是先选择移动模式 (Edit→Move 或按 m 键)，然后在圆心点一下，松开左键后即可拖动。移动线要先点的线的中央，然后松开左键，再移动。移动红色方块时，对应 Pin 的名称会随之移动。

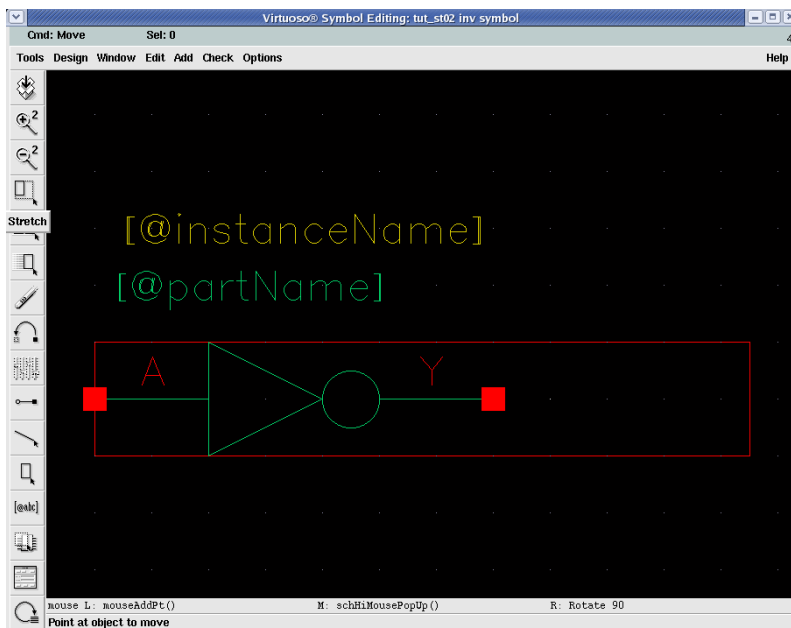


图 3-28 符号视图修改过程

红色的框可以使用“拉伸”（Stretch）操作改变大小，最后图形如图 3-29，使用“Design→Check and Save”操作，检查无误即可。

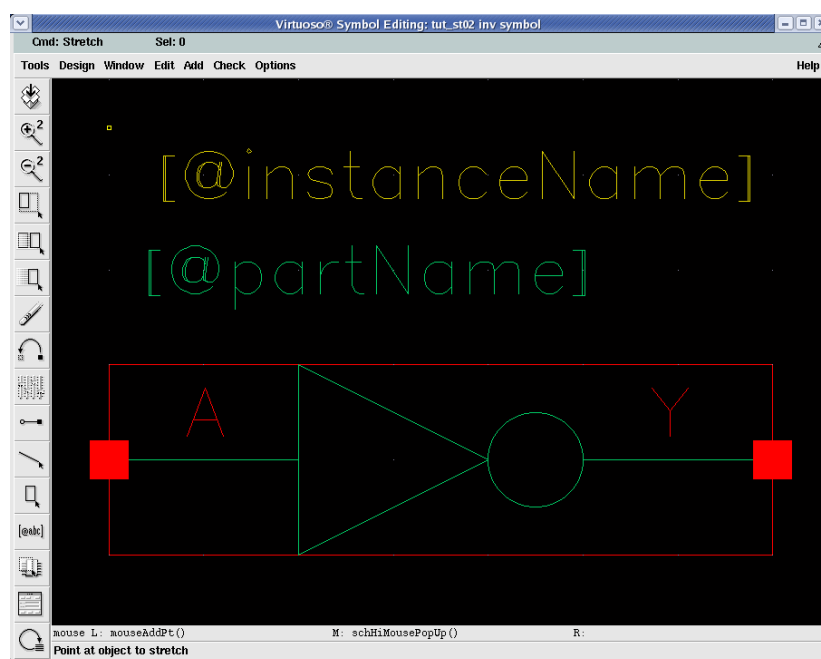


图 3-29 最后的符号视图

Stretch 操作方法是先点 Edit→Stretch 或快捷图标，然后在图形的边线上点一下，松开左键，再拖动。

### (11) 建立仿真视图

尽管直接在原理图中加信号源也能仿真，但这种方法影响后续的原理图与版图对比（LVS），不推荐这样做。正确的仿真分析方法是另建一个原理图视图，在这个视图中调用前面生成的器件符号并添加信号源。

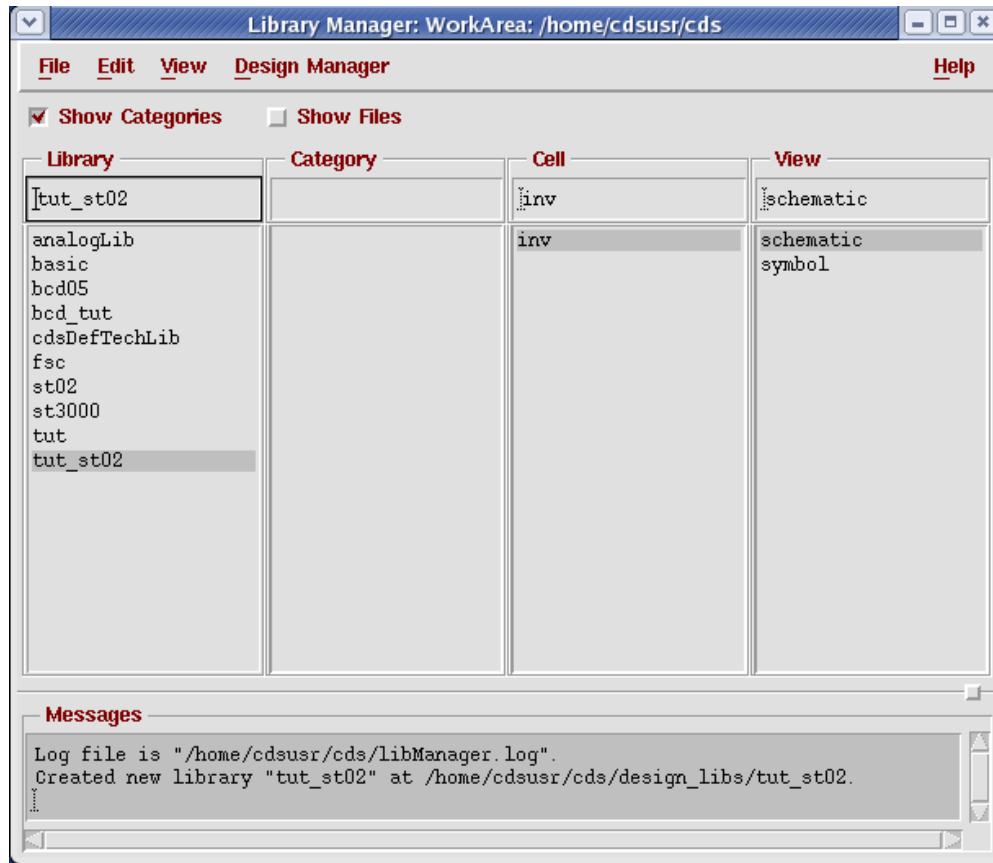


图 3-30 仿真分析视图的库选择

仿真用的原理图一般与设计本身放在同一个库中，但它是与设计的 cell 在层次上平等的，不要建在 cell 的下面。将鼠标点在库名上（见图 3-30），然后用 File→New→Cell View 操作建立该视图。

执行该操作后将弹出一个对话框，见图 3-31（有可能出现在当前窗口的后面，需要找一下），将 Cell Name 改写为 inv\_tb，（以后可以使用其它名字，但最好能够反映出它是 inv 的测试电路）。

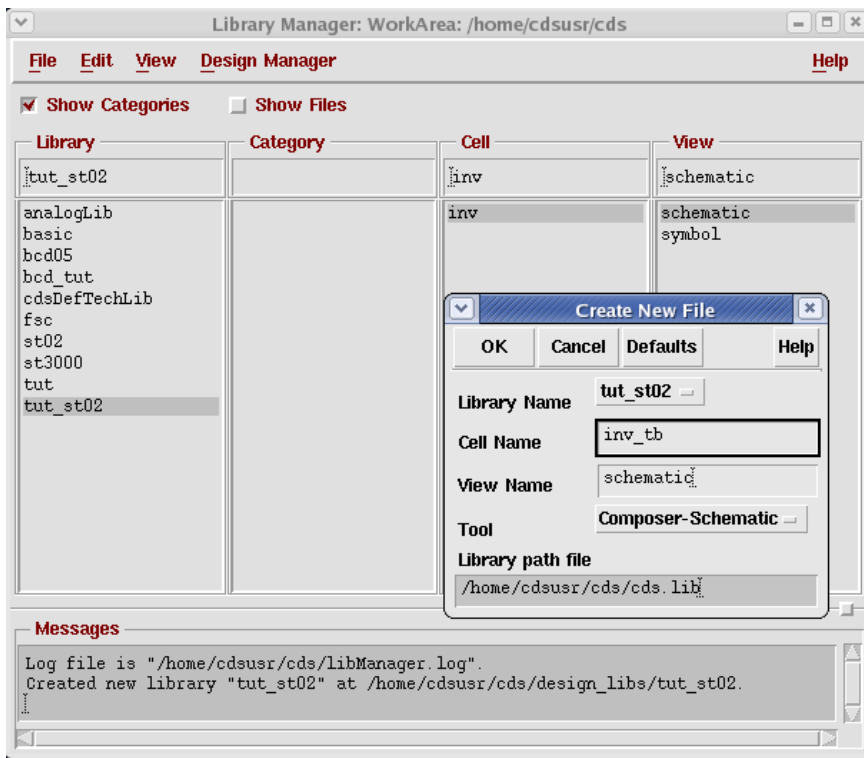


图 3-31 新建仿真原理图

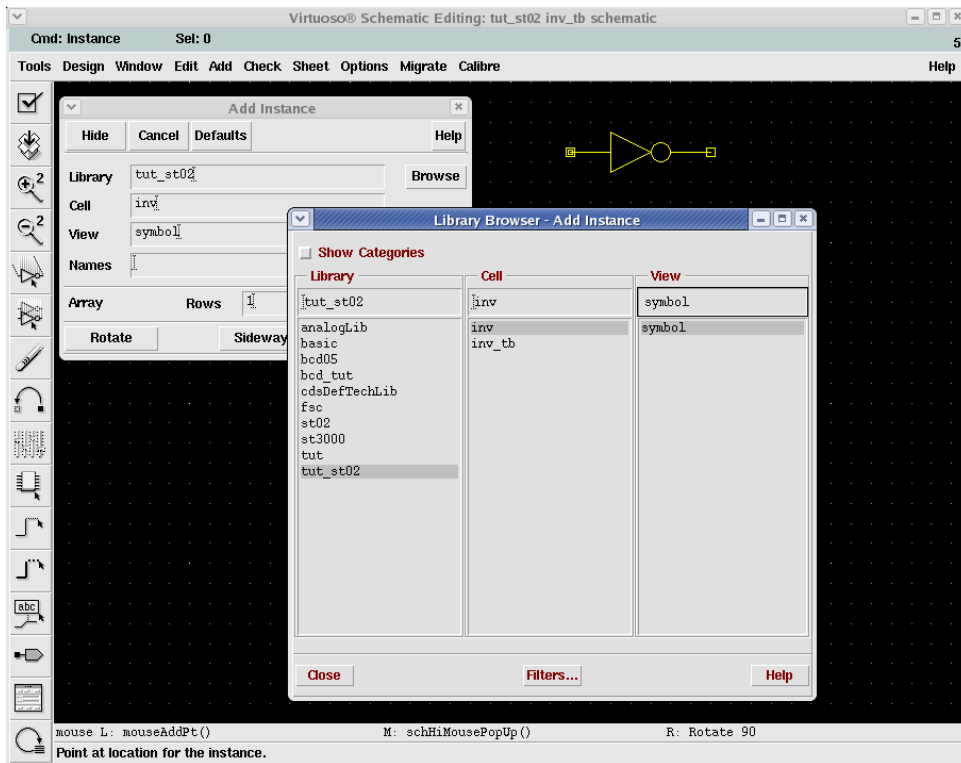


图 3-32 调用已生成的反相器

画测试原理图需要首先放置前面设计的 inv，使用 Add→Instance 操作后，点 Browse，然后到 tut\_st02 库(即前面步骤建立的库)中选择 inv 的符号(见图 3-32)。

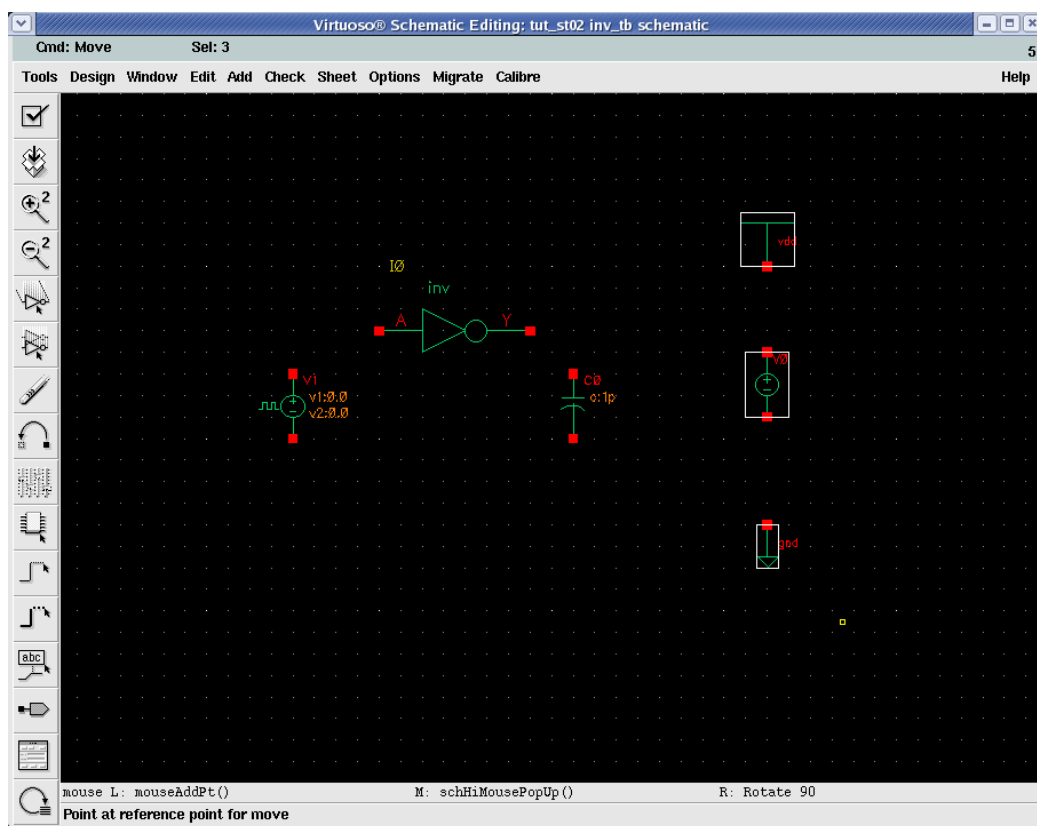


图 3-33 绘制仿真原理图

然后放置信号源 vpulse、直流电源 vdc、电源符号 vdd、地线符号 gnd 和一个电容 (cap)。这些器件都在 analogLib 中。

使用 Move 操作移动器件以便连线。这里顺便介绍一下**整体移动多个器件**的方法。选择 Move 操作模式，然后在几个需要同时移动的器件外用鼠标左键“虚画”一个框，包围要移动的器件，会看到几个器件同时高亮（出现白框），然后在其中某个器件上点一下，松开左键，移动鼠标，就会看到几个器件随鼠标整体移动了。这种操作也适用于整体拷贝和删除。

Cadence 允许在画原理图时使用拷贝操作（见图 3-34），例如可以从图中再拷贝一个电容或反相器，软件会自动为拷贝的元件分配一个例化名称，不会与原有的元件冲突。**Cadence** 也支持从一个原理图中拷贝某个局部到另一个原理图，操作方法与同一个视图中的操作相似。

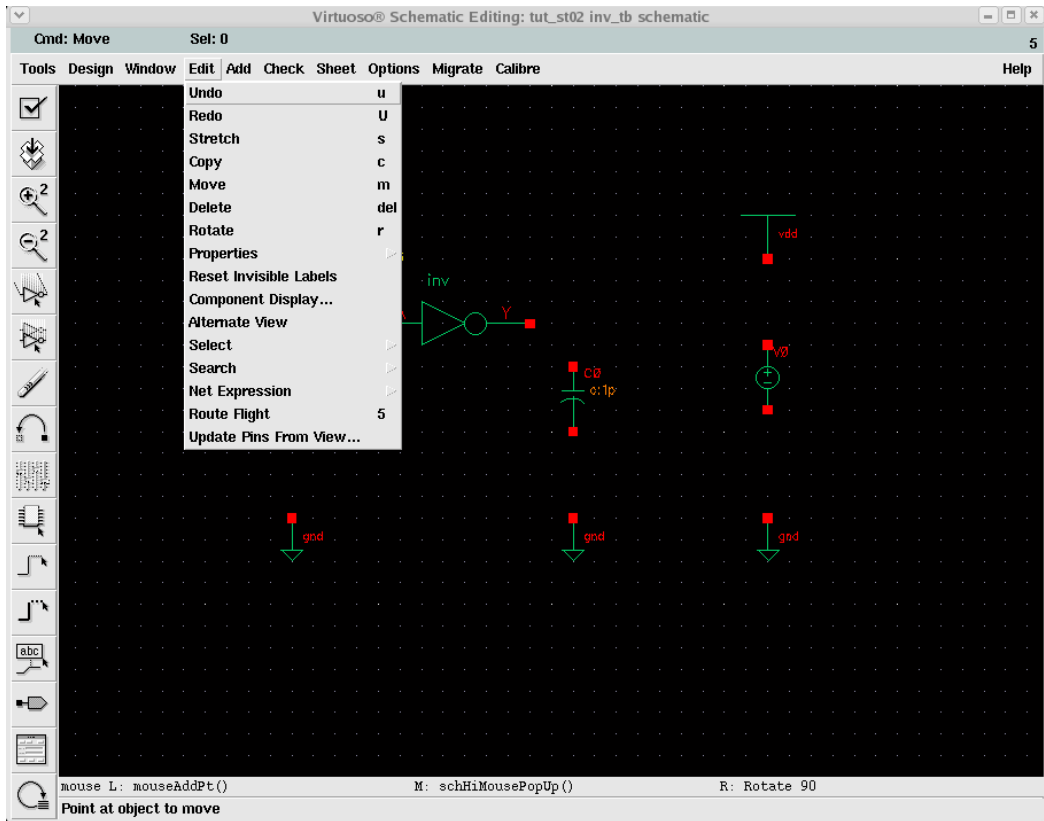


图 3-34 使用拷贝操作

拷贝的菜单操作方式是 Edit→Copy，快捷键为“c”，窗口左侧也有快捷方式的图标。

另一个很常用的操作是“局部放大”，当想观察某一个局部时，可用鼠标右键在该区域“虚画”一下，就可将该局部放大显示。这个操作也是 Cadence 软件的通用操作，在版图设计时也可用（不灵时，先按 Esc 键，然后重试）。图 3-35 是局部放大的画面，要回到整体显示状态可用 Window→fit 操作。

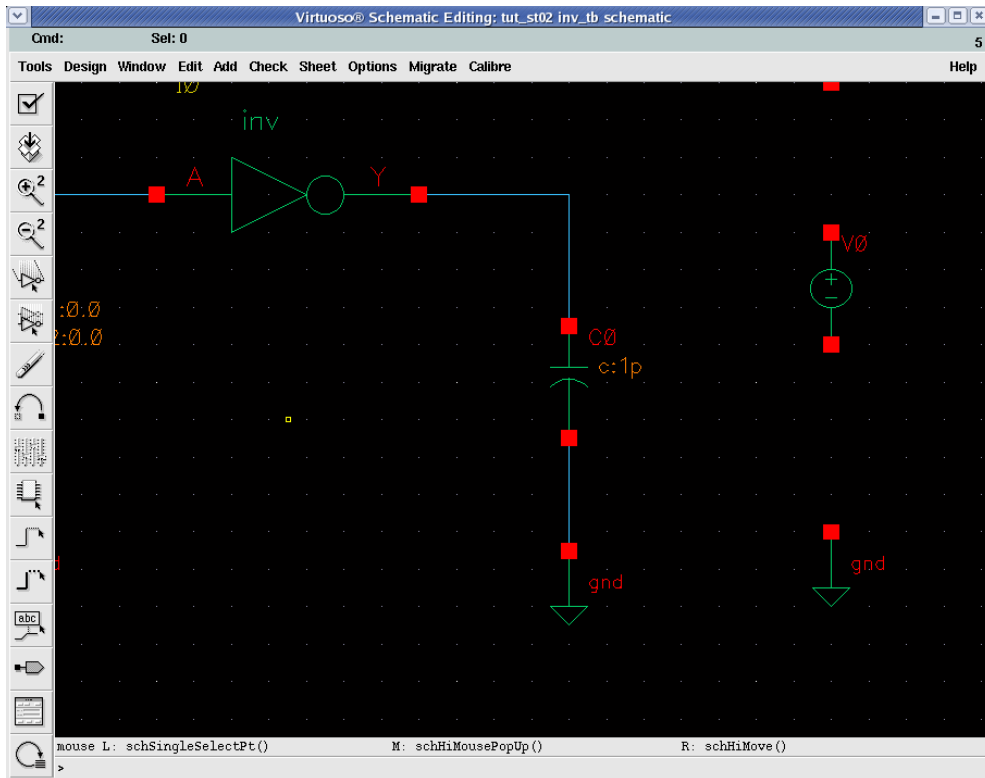


图 3-35 局部放大

连线结束后，要合理设置信号源的参数，否则会在仿真时出错。首先修改 `vpulse` 的属性，方法是按 `Esc` 键回到默认模式，选中该信号源（点一下），看到器件高亮后点击窗口左侧边框上的属性图标，将出现图 3-36 所示的属性窗口。`vpulse` 信号源的参数与《集成电路 CAD》课程中的定义相同，需要设置的参数如下：

- DC Voltage

这个参数对瞬态分析没有作用，但如果需要做直流扫描分析则必须设，一般设为 0 即可。**注意：只输入 0，不要输入单位“V”，“V”会自动添加，自己填写就会出错。**

- Votage1

在 0 时刻的电压，可先设为低电平的电压值，一般设为 0V，注意“V”也不要输入。

- Votage2

逻辑值与 Votage1 相反的电压值，如果 Votage2 为逻辑 1，则该值要与电源电压相等，工作电源用 3V，该值就写 3，工作电源用 5V，该值就写 5。

- Delay Time

第 1 次跳变的时间。设为 1ns 即可。

- Rise Time

上升时间，决定从低到高跳变的速度（上升沿的斜率），要设为非 0 值，一般在 0.1ns 到 1ns，取决于信号周期。

- Fall Time

下降时间，决定下降沿的斜率，要设为非 0 值，一般在 0.1ns 到 1ns，取决于信号周期。

- 脉冲宽度

达到 Votag2 后保持的时间。一般设为半个周期左右。

- Period

信号的周期。按实际需要设置，一般为 ns 数量级。

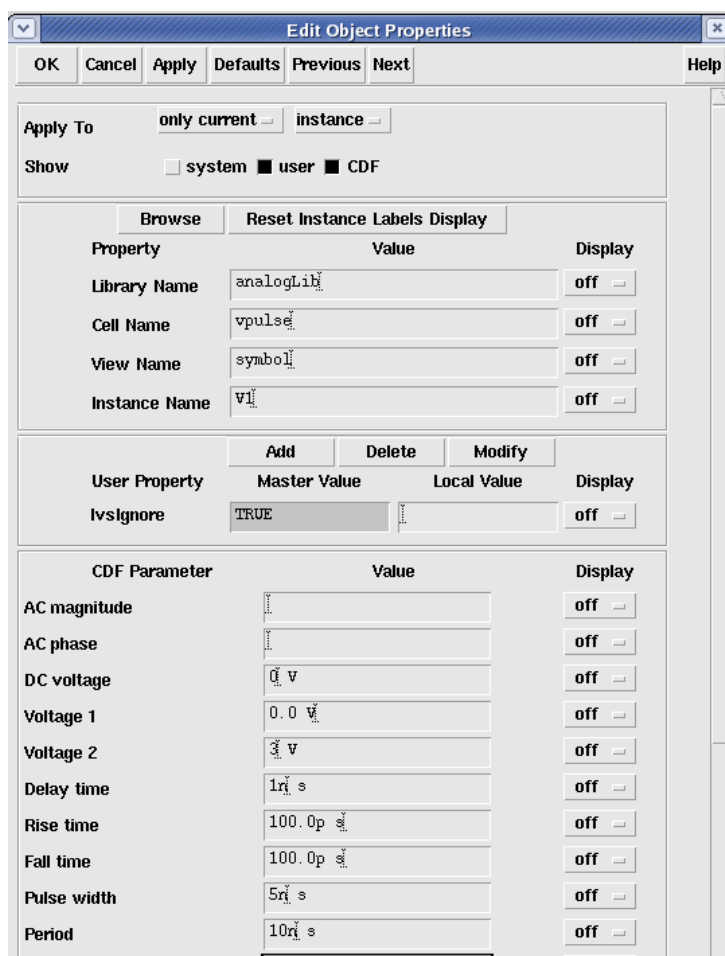


图 3-36 信号源属性

设置时一定要保证这些参数的相对关系合理,基本的判断标准是根据设置的参数,波形应该能够画得出来,例如“周期”必须大于“脉冲宽度”与“上升时间”及“下降时间”之和。

电源 vdc 中只有一个参数需要设置,即直流电压 (Vdc),其值就是工作电源电压,应与脉冲信号源的逻辑 1 的电压相同,对 st02 工艺,合理的值在 3—6V 之间。

电容的属性也要改,默认的 1pf 负载对于这个尺寸的反相器太大,可以预料输出波形会很差,做功能分析时可改为 0.01p,做电路性能分析时应根据实际需要设置。

为仿真时观察方便,应在输入、输出的线上添加网络名称,否则软件会自动给出一个很长的名字,观察波形时很难区分。菜单操作方法是 Add→Wire Name,出现图 3-37 后可将 A 和 Y 一次输入(用空格分隔),然后依次放在线上。这种连续操作方法也是 Cadence 软件的特点。

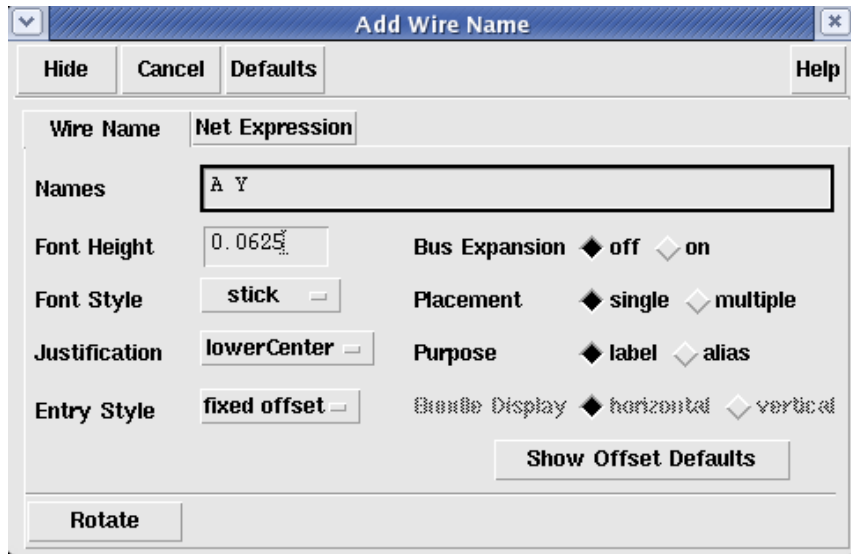


图 3-37 添加网络名称

在使用网络名时需要注意,不同的网络一定不能重名,重名就意味着短路,因为使用网络名称本身就是画原理图的手段,当两个节点相距很远时,各画一条短线,标上相同的名称,就相当于将两个节点连接在一起了,这种方法在绘制复杂电路图时很常用,可以使图看起来简捷些。

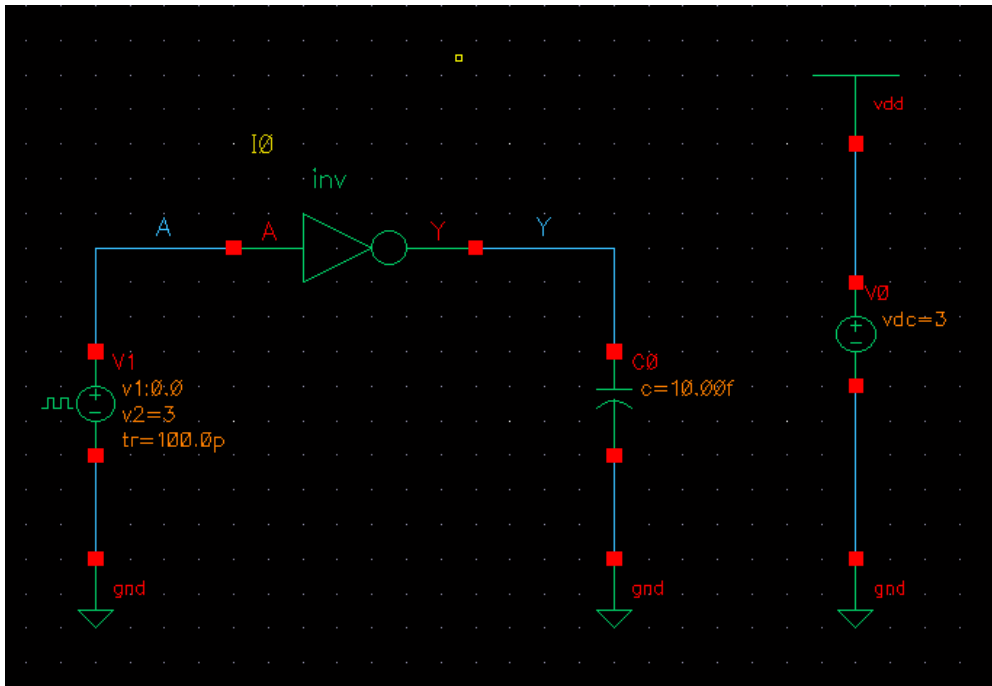


图 3-38 测试反相器的原理图

最后绘制好的测试电路图如图 3-38。使用 Design→Check and Save 检查后就可以进行仿真分析了。

(12) 启动模拟设计环境

仿真分析要在模拟设计环境（Analog Environment）下进行，在原理图编辑窗口使用菜单操作 Tools→Analog Environment，执行后就会出现图 3-39 所示的窗口。当前的实验环境支持两种仿真分析工具，即 Cadence 自己的 spectre 和 Synopsys 的 Hspice。两种仿真工具在概念上几乎完全相同，但操作方法略有区别，以下首先介绍 spectre 的使用方法。

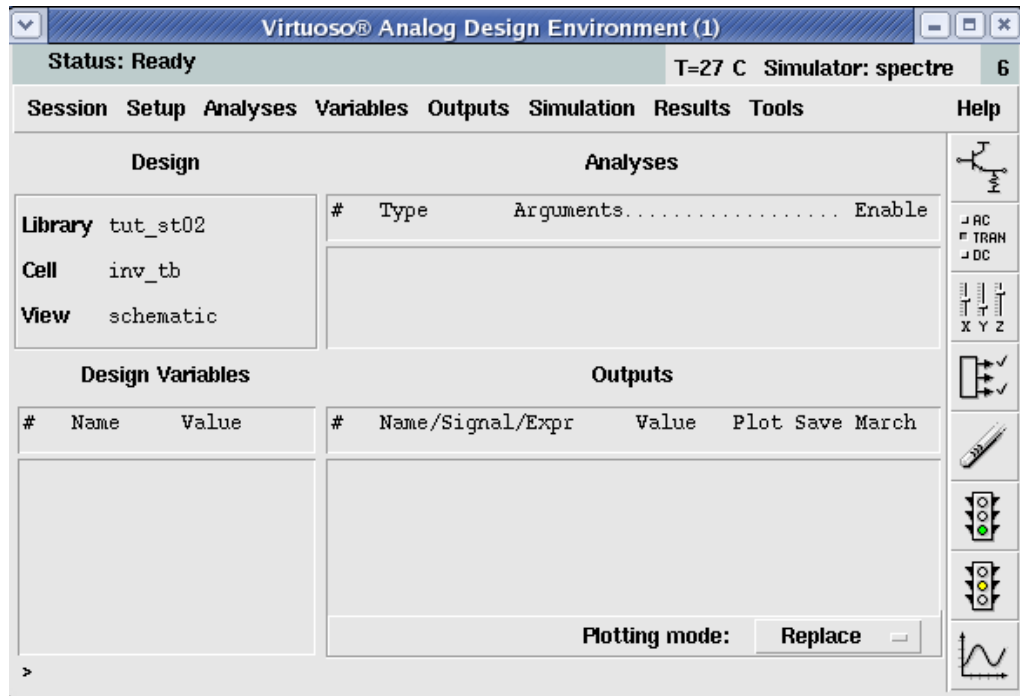


图 3-39 模拟设计环境

spectre 是当前环境的默认仿真工具，不必现选择，操作可以从添加模型库开始。点击菜单上的 Setup，选择 Model Libraries，会出现图 3-40 所示窗口。

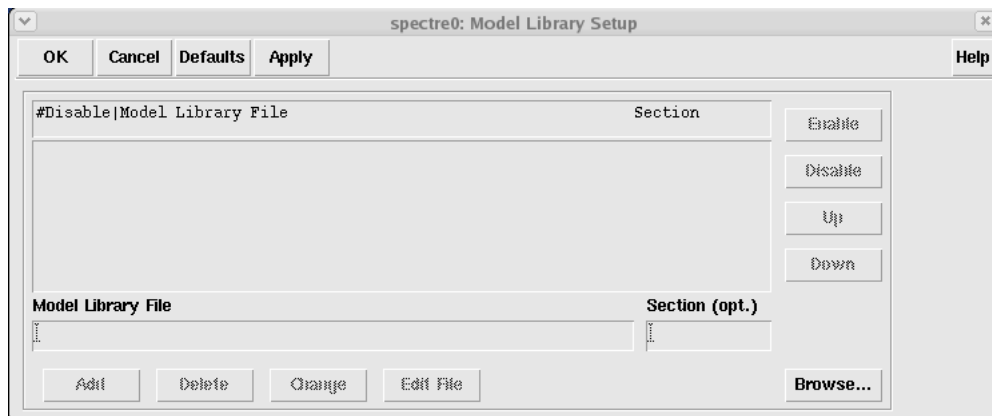


图 3-40 添加模型库

点击该窗口的“Browse”会看到图 3-41。在其中寻找 spectre\_models，双击打开会看到图 3-42。然后双击“st02”，选中其中的 s05mixdtssa01v11.scs，点“OK”，会看到图 3-43。

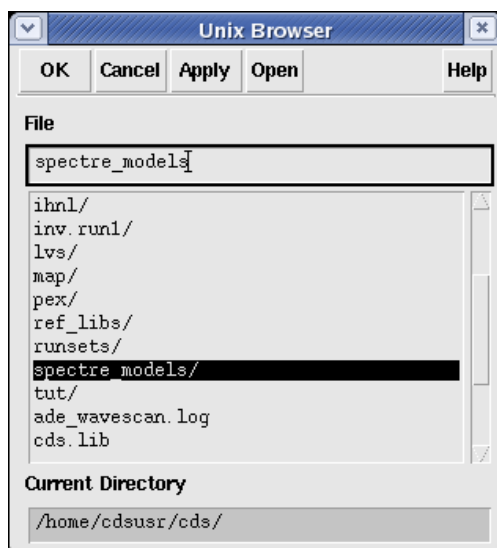


图 3-41 寻找模型

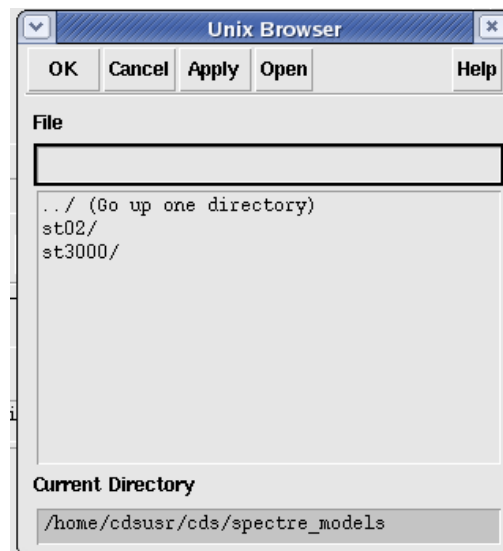


图 3-42 使用 st02 下的模型

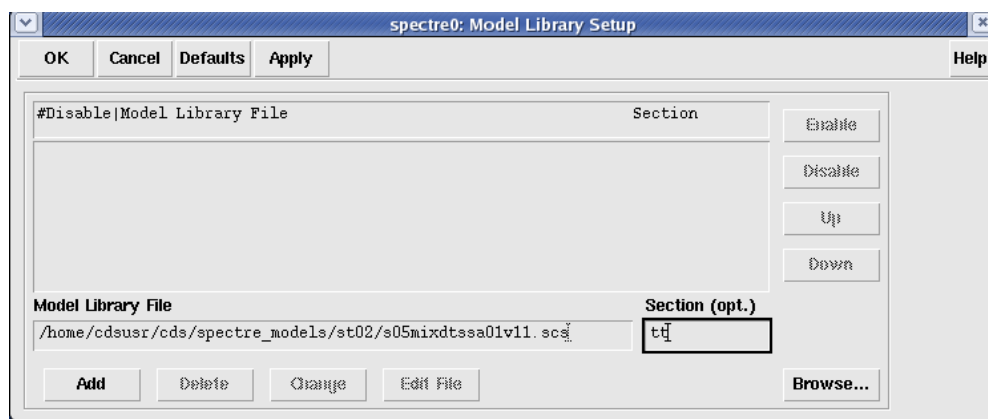


图 3-43 输入库入口

要在 section (opt) 下填写库入口 tt，即选择“典型工艺角”（Design Corner）进行分析。然后点“Add”，最后点“OK”。

### (13) 瞬态分析

接下来选择分析类型，操作为 **Analyses**→**Choose**，会出现图 3-44 所示的窗口。默认分析类型为瞬态（tran），做瞬态分析直接填写停止时间即可，这里为 20ns（约两个周期）。用 spectre 时，软件自动设置计算步长，点“OK”即可。

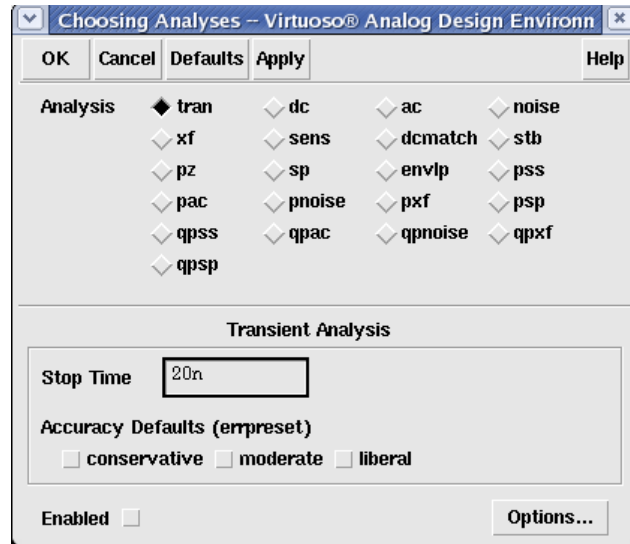


图 3-44 瞬态分析设置

想在仿真后立即看到波形，应进行如下操作：**Outputs**→**To be Plotted**→**Select on Schematic**，执行后原理图会出现在其它窗口前面，分别在 Y 和 A 的线上点一下，这两个信号的波形就会在仿真结束后自动显示出来。注意，要观察电压波形一定要点在信号线上，如果点在引脚上看到的将是电流的波形。

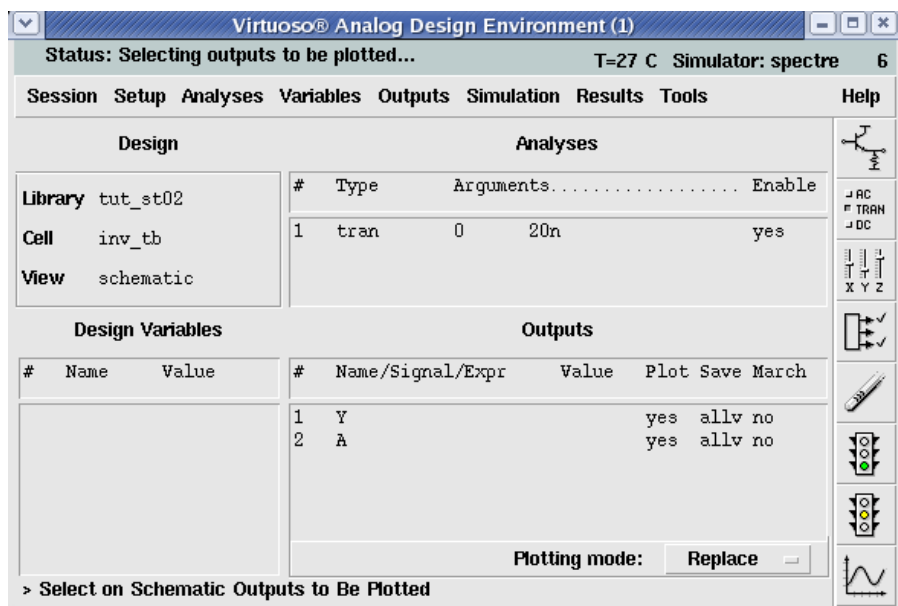


图 3-45 窗口状态

完成以上操作后，模拟设计环境窗口上的情况应如图 3-45 所示。如果只是观察电压，也可以仿真后在选择输出信号，因为所有节点电压都自动记录，仿真结束后再按上述操作选择要观察的信号，最后点右下角的显示波形图标也可以。但如果需要观察电流波形，必须先选择信号，因为电流信号的波形数据不是自动记录的。

现在执行 Simulation→Netlis and Run 或点击右下角下数第 3 个图标就可以运行仿真了，在弹出的窗口上点“OK”，就可看到仿真结果，开始时波形是交叠的，点击波形窗口工具栏左起第 4 个图标可以将波形分开，如图 3-46。

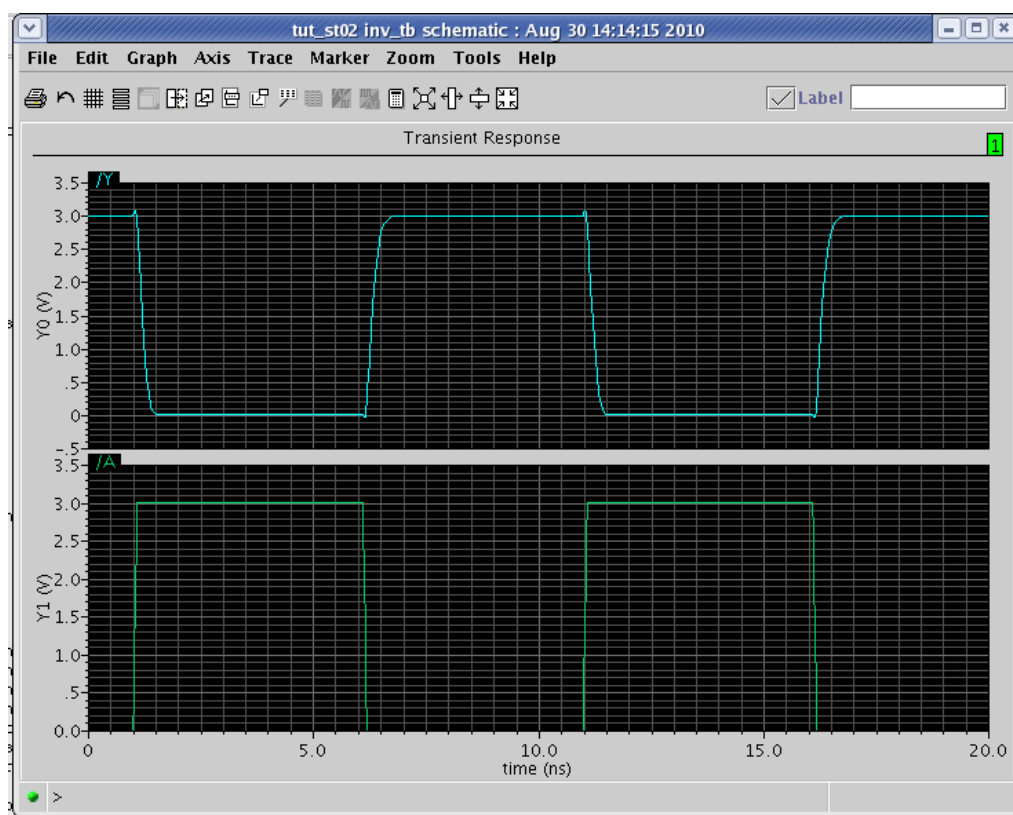


图 3-46 瞬态分析波形

#### (14) 直流扫描分析

用 spectre 做直流扫描分析操作起来比较烦琐，不过，可以在瞬态分析的基础上增加 DC 扫描分析，同时看到两种分析结果。首先重新进行以下操作：Analyses→Choose，将出现图 3-47。选择其中的“dc”，然后选择 Sweep Variable 下的“Component parameter”，窗口将自动扩展为图 3-48。

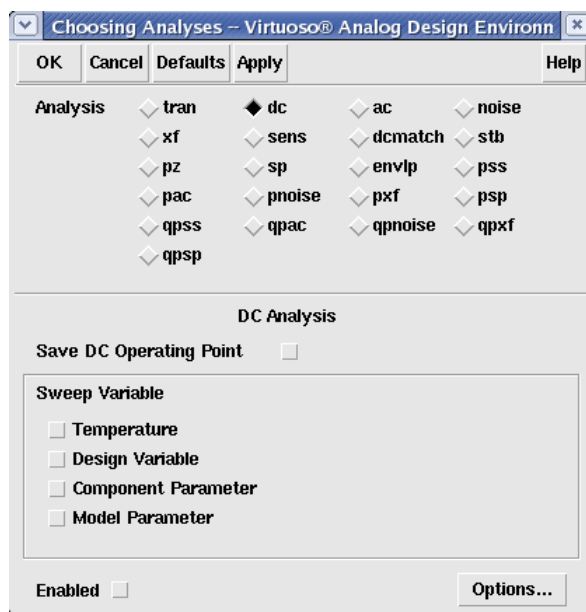


图 3-47 dc 分析设置

在 3-48 中点 Select Component，然后到原理图中点一下连接 A 端的信号源，这时又将弹出图 3-49。选择图 3-49 “dc”，点“OK”，在图 3-48 中的 Component Name 和 parameter Name 将出现内容 (/V1 和 dc)，如图 3-50。

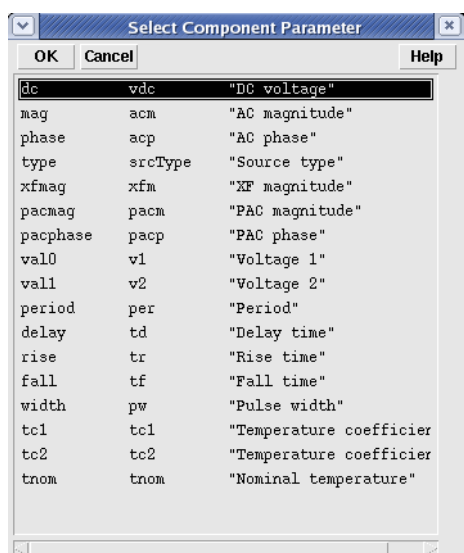


图 3-49 选择扫描器件

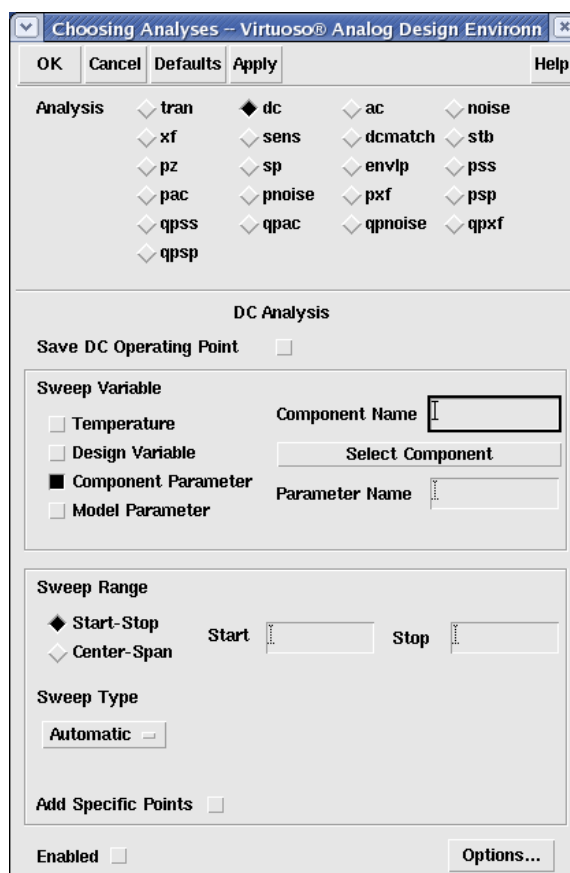


图 3-48 选择扫描变量

在图 3-50 中填写扫描起点和终点(Start 和 Stop)为 0 和 3, 然后点“OK”, Analog 窗口将如图 3-51, 再执行仿真, 可同时得到瞬态和 DC 仿真结果 (图 3-52)。

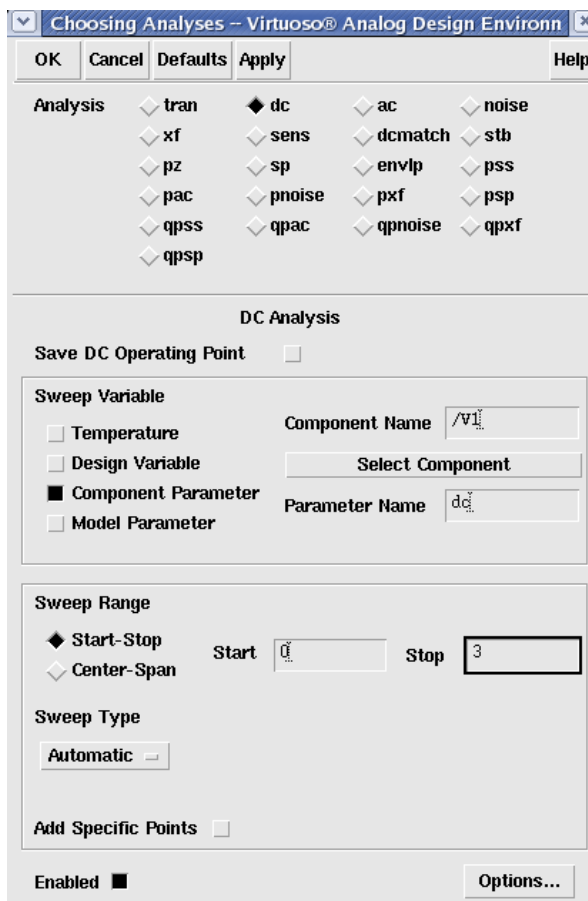


图 3-50 确定扫描范围

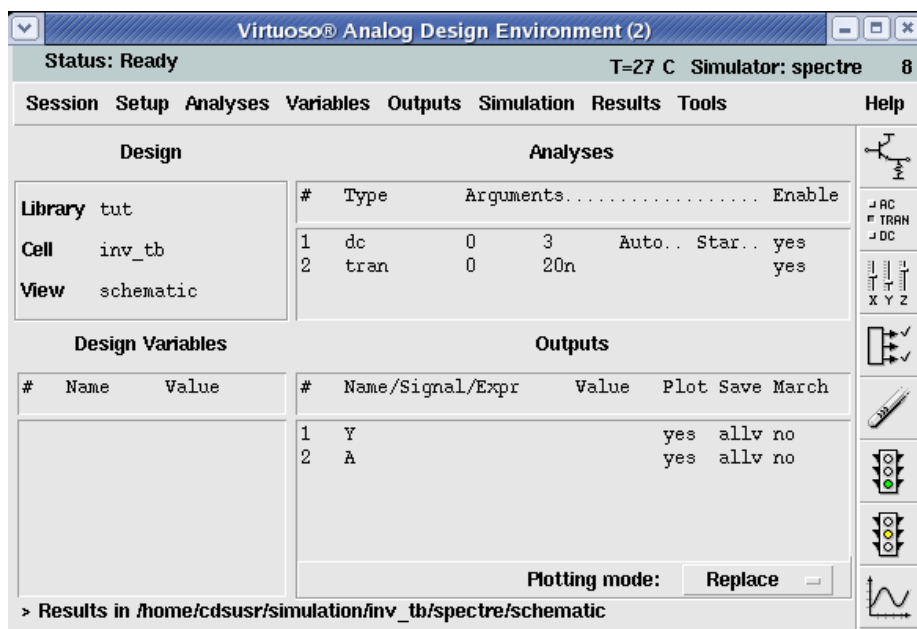


图 3-51 正确设置后的状态

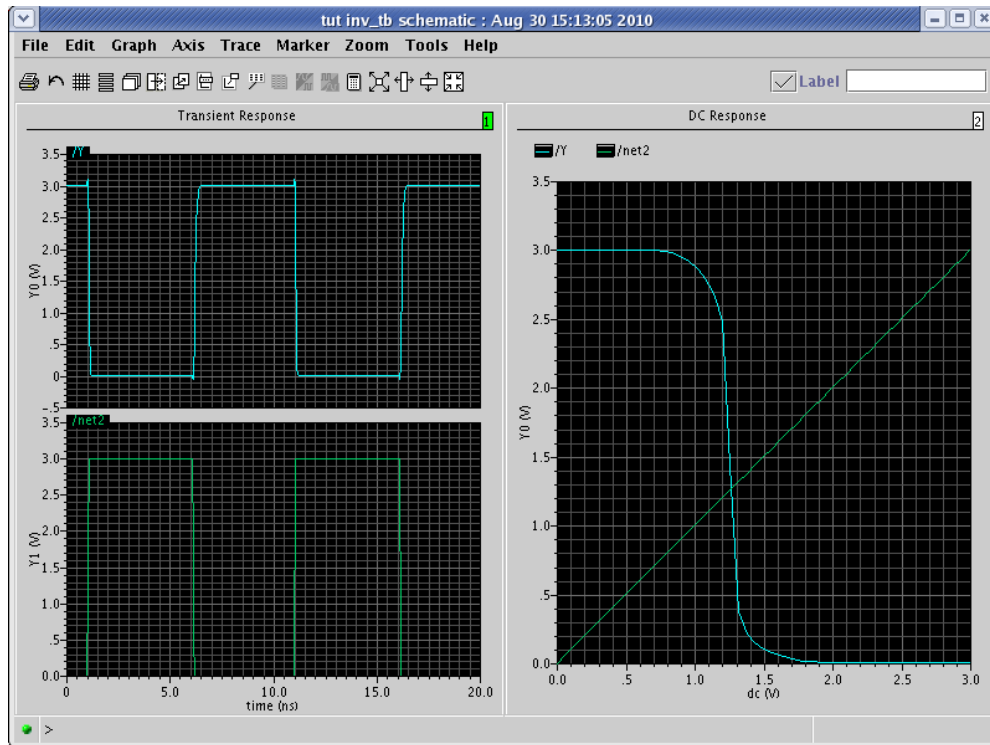


图 3-52 仿真分析结果

### (15) 使用 Hspice

当前版本的实验环境安装了 Hspice 软件，并有 Hspice 与 Cadence 的接口，可以从 Cadence 的 Analog Design Environment 下直接启动 Hspice 进行仿真分析。进入 Analog Design Environment 后，由于默认仿真器是 spectre，如果想使用 Hspice，首先要更换仿真器。操作方法为 Setup→Simulator/Directory/Host，执行后将弹出图 3-53 所示的窗口。点击 Simulator 旁边的按钮，选择 HSPICE 为仿真工具，然后点“OK”，这时应看到屏幕上有变化，大约 1 秒钟后恢复。

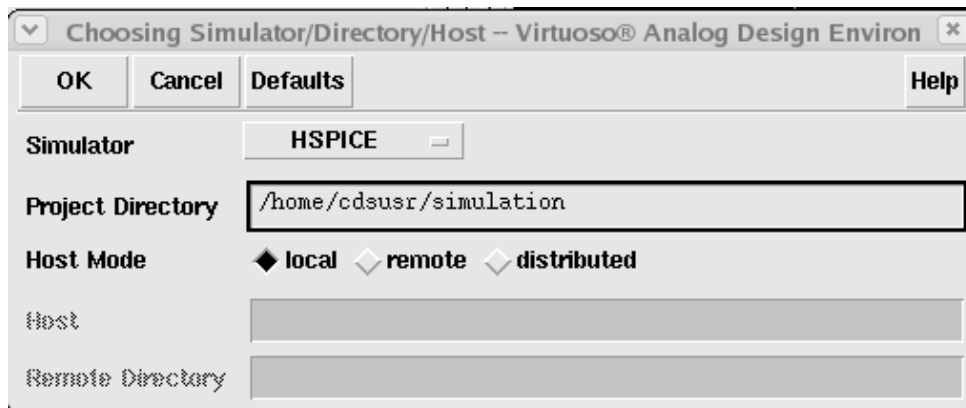


图 3-53 选择 HSPICE 为分析工具

接下来也要添加模型，菜单操作为 Setup→Model Libraries，现在要到 Hspice\_models 下的 st02 中寻找 h05MIXDTSSA01V11.lib，然后在 section (opt) 窗口输入库入口 tt (其它工艺角为 ss、sf、fs、ff)，在图 3-54 显示的状态下，点“OK”即可。

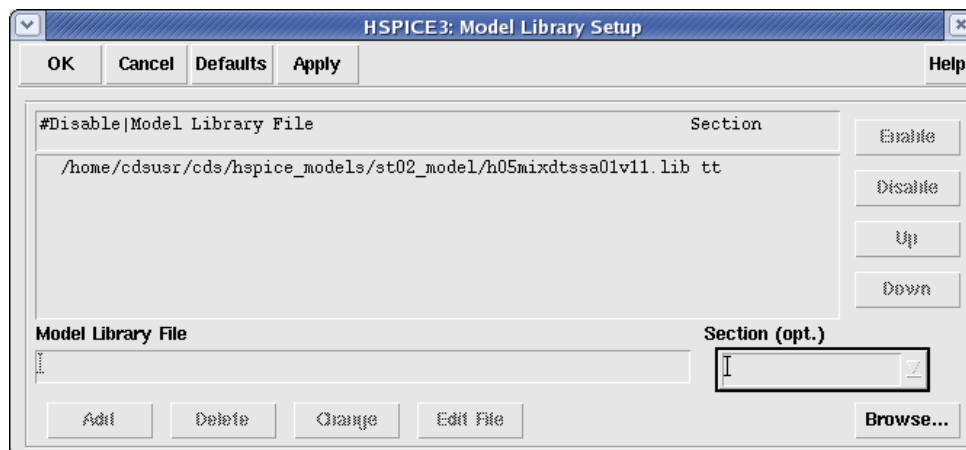


图 3-54 添加模型和库入口

然后用 Analyses→Choose 操作设置分析类型，做瞬态分析时需要设定步长和停止时间，见图 3-55。

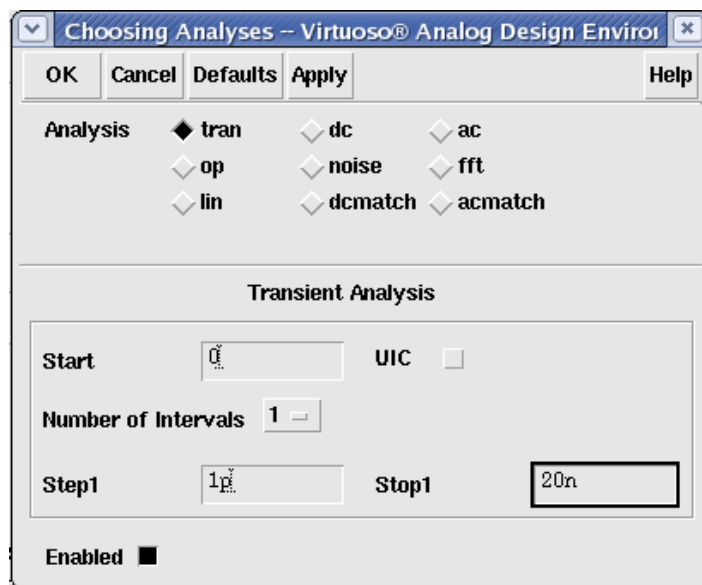


图 3-55 HSPICE 的瞬态分析设置

用 Hspice 做 DC 分析的操作较 spectre 简单，选择 dc 分析后，图 3-55 所示窗口将变为图 3-56。首先选 Sweep Variable 为 Source，然后点 Select Source，到原理图中点一下要扫描的信号源，再设置扫描起点 (From) 终点 (To) 和步长 (Step Size)，点“OK”。

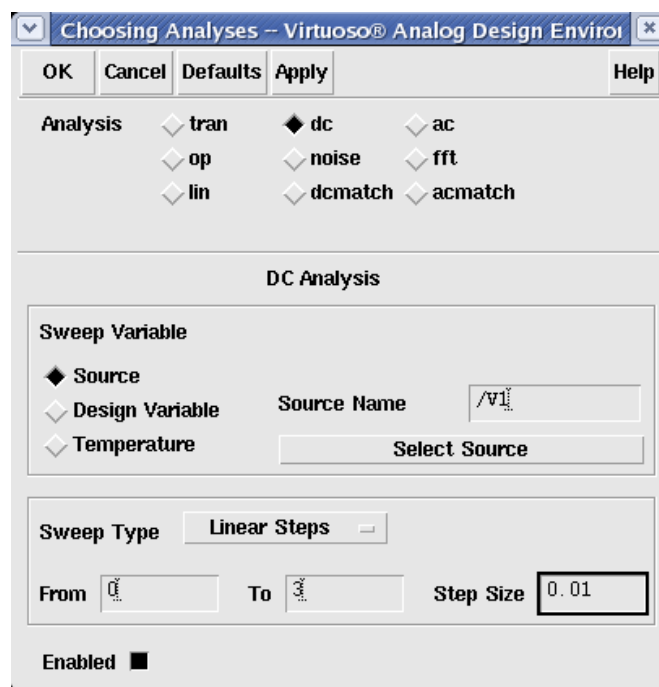


图 3-56 HSPICE 的 DC 分析设置

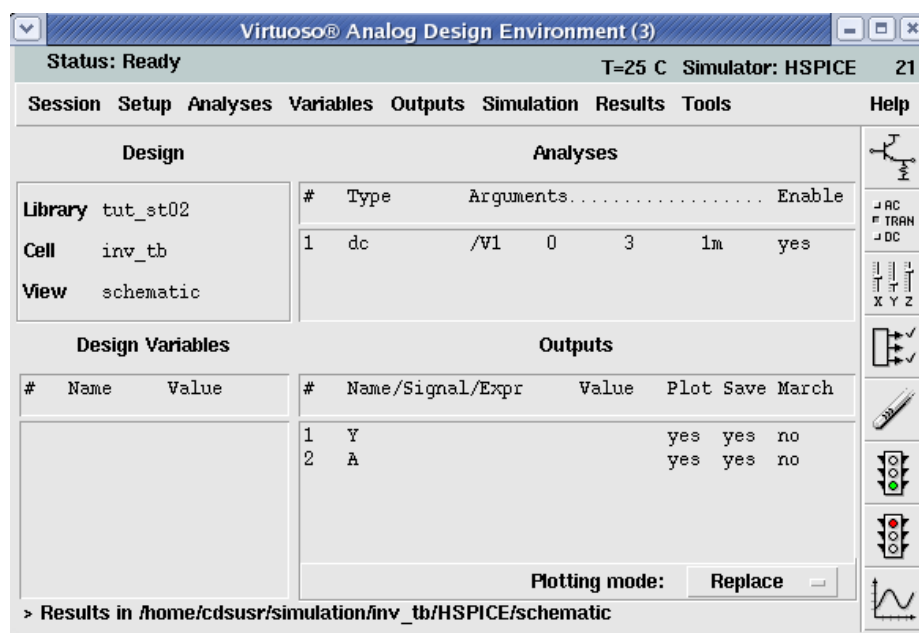


图 3-57 窗口状态

以后的操作与使用 spectre 相同, 后用 Output→To Be Plotted 选择需要立即显示的信号, 运行仿真即可。

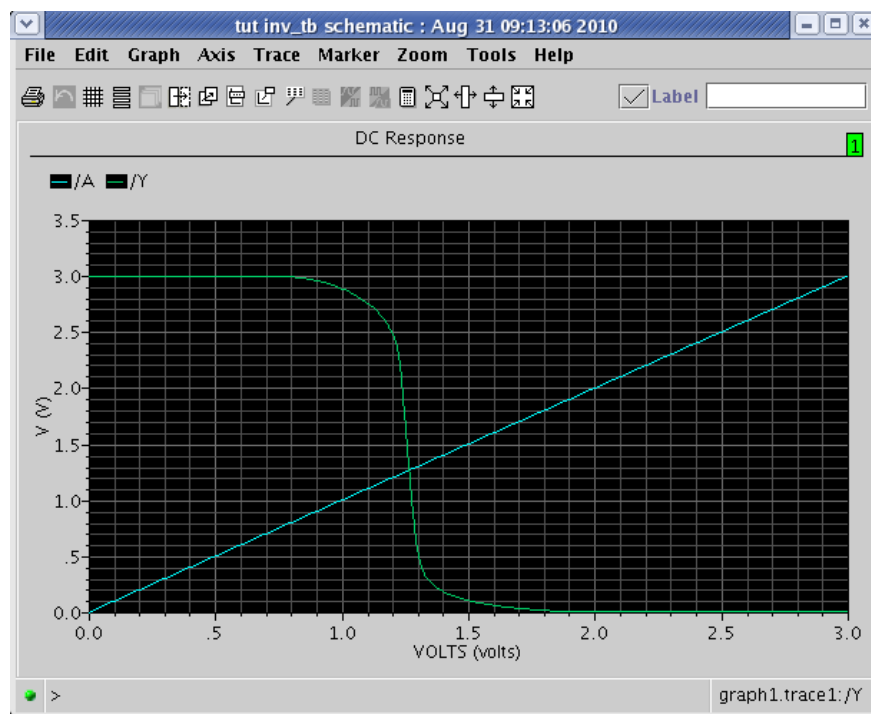


图 3-58 DC 分析结果

图 3-58 是直流扫描分析的结果, 对于简单电路, 两种分析结果应基本相同, 但由于 Hspice 的步长是自己设的, 看起来与 spectre 结果会有些区别。

目前普遍的观点是 Hspice 的仿真结果更可靠些, 一般 Cadence 环境不支持 Hspice, 因此两种方法都要掌握。

## 第 4 章 版图设计基本操作和设计规则检查

### 4.1 版图设计中的基本概念

集成电路的版图是用于生成制造过程中所需要的掩摸（光刻）板（mask）的图型文件，最后提交厂家的文件格式一般为 GDSII。版图是一种分层的精确平面制图，版图中的“层”指的是绘图层，也称为“EDA 层”。绘图层与光刻板有一定的对应关系，但不等价。光刻板有时需要根据多个绘图层的“逻辑运算”结果生成，而不只是绘图层图型本身。在 Cadence 环境下的版图中，只有一部分“层”与制造有关，如 CMOS 工艺中的阱、有源区等。有些“层”只是 EDA 工具的需要，如标注层或“引脚”层等，这些“层”在版图与原理图对比（LVS）时是必要的，但与制造无关。版图是一种平面制图，仅用来确定每层的平面尺寸和各层之间的相对位置关系，而一个器件的纵向尺寸是由制造工艺本身决定的，在版图中没有反映。

版图设计应服从制造工艺所确定的设计规则。设计规则是保证芯片能够成功制造的重要准则。设计规则又分为“绝对设计规则”和“可缩放”的设计规则。绝对设计规则由芯片生产厂家提供，只对应一种工艺，其中的尺寸单位为微米，也称为“微米规则”。“可缩放”的设计规则也称为“ $\lambda$  规则”，一般只用于教学实验，例如，北美地区的“多项目晶圆”（MPW）设计组织 MOSIS 就为多种工艺编写了这种规则。2010 年以后版本的设计环境的 cdsusr 用户下使用生产厂家提供的设计规则，ncsu 用户下使用 MOSIS 规则。

在正向的设计中，版图设计应服从原理图设计。版图中的晶体管的尺寸是在原理图设计阶段由仿真结果确定的，除非同时承担电路设计任务，版图工程师一般不能改变晶体管的尺寸，但可以采用等价画法。版图需要通过设计规则检查，并需要与原理图进行对比，以保证其正确性。

版图设计对芯片性能有很大影响，“好的版图设计不能挽救糟糕的电路设计，但一个好的电路设计可能毁于糟糕的版图设计”。版图工程师应对制造工艺有比较深刻的认识，应该预见到制造工艺的非理想性和各种寄生效应对电路性能的影响。模拟电路和射频电路对版图设计要求丰富的设计经验和想象力，这种技能有时甚至被称为“艺术”。

本章主要介绍使用 CSMC0.5 $\mu$ m 混合信号 CMOS 工艺的基本数字单元电路 (Cell) 的版图的绘制方法。

## 4.2 CSMC0.5 $\mu$ m 混合信号 CMOS 工艺设计规则

CSMC0.5 $\mu$ m 混合信号 CMOS 工艺的详细设计规则参见附录 1，这里只介绍后续章节用到的部分。

### (1) “层目的对”的概念

绘图层的名字是由厂家自己定义的，在 Cadence 环境下设计某种工艺的版图需要厂家提供的技术文件和显示资源文件。使用这些文件和厂家提供的“PCELL”库可以建立一个该工艺的参考库，本章使用的参考库是 st02，以下也称该工艺为 st02 工艺。如果一个库在建立时“关联”到参考库，就与参考库使用同样技术文件和显示资源文件，这就是在第 3 章中要求选择“Attach to”的原因。如果“库”是按第 3 章介绍的方法建立的，打开 layout 型视图后会看到图 4-1 所示的“层选择器”窗口 (LSW)。

“层选择器”中的每一栏代表一个“绘图层”，由“层”的名字、显示图案及“使用目的”(例如右侧的 drw，窗口下面还有其它类型)组成。“层”的名字是厂家自己定义的，例如，“有源区”在该工艺的技术文件中称为“TO”，而在其它厂家的技术文件中可能称为“active”。“层”名与工艺相关，而“使用目的”则纯粹是 EDA 工具中的概念。st02 工艺定义了 3 种“目的”，“drw”表示该层用于绘制图型，“net”表示形成电路网络，“pin”表示该层用于标注引脚。“层”名和“使用目的”构成“层目的对”。选择绘图层时，不能只看“层名”，还要看右边的“目的”，例如：M1 (drw) 与 M1 (pin) 是不同的绘图层，不能混用。绘制图型时主要使用 drw 类型的层。

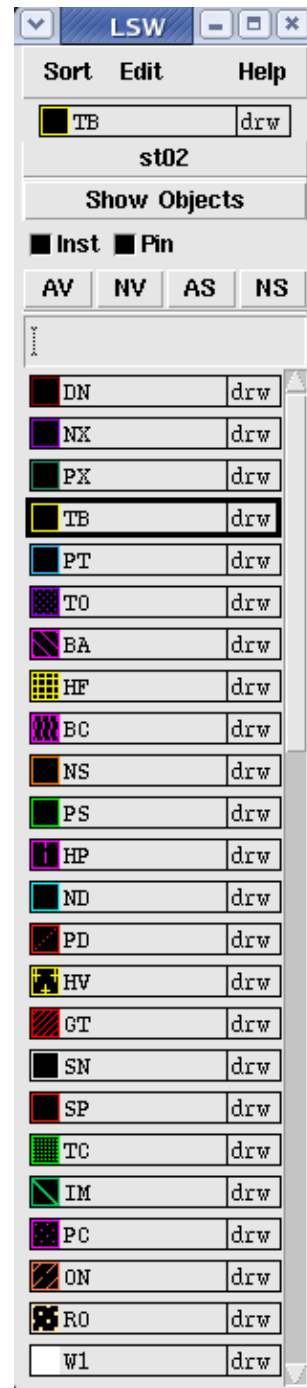


图 4-1 LSW 窗口

以下介绍反相器版图设计涉及的“层”。

## (2) ST02 工艺的层定义

### ● N 阱 (TB)

N 阱层用来生成 N 阱的掩模板 (mask)，在 CMOS 工艺中，PMOS 管需要制作在 N 阱中，N 阱就是 PMOS 管的“体”。PMOS 管的“体”需要连接到较高的电位，数字电路的 PMOS 管的“体”通常连接到电源 vdd。在 st02 库的技术文件中，N 阱层称为“TB”，绘制 N 阱要选择“TB (drw)”。附件 1 给出了绘制 N 阱区域的规则，包括最小的面积和间距等，画版图前要对这些规则有所了解。

### ● 有源区 (TO)

在 CMOS 工艺中，为隔离器件，首先需要将硅片划分为“场氧区”和“薄氧区”。“场氧区”的氧化层很厚，主要用于隔离器件。“薄氧区”就是有源区 (Active)，用于制作器件或实现衬底及阱与金属连接的“欧姆接触”。在 st02 工艺的技术文件中，有源区的名称为“TO”，绘制有源区要选择“TO (drw)”。

### ● P 注入 (SP)

这一层用于生成注入 P+ 离子时需要的掩模板。st02 工艺文件中命名为“SP”，绘制 P 注入区要选择“SP (drw)”。

### ● POLY1 (GT)

当前使用的工艺有两层多晶 (Poly)，在 st02 中，多晶 1 层命名为“GT”，主要用于制作 MOS 管的栅极，也可以用来制作电阻或电容的下极板。绘制 MOS 管的栅极时应选择“GT (drw)”。

### ● 接触孔 (W1)

“接触孔”用于连接半导体材料和金属 1 层。N+、P+ 以及多晶与金属连接时都要使用“接触孔”。St02 工艺文件将接触孔命名为 W1，绘制接触孔时选择“W1 (drw)”。接触孔的规则很严格，单个接触孔的大小在这种工艺中只能是  $0.5\mu\text{m} \times 0.5\mu\text{m}$ ，即不能大，也不能小。

### ● 金属 1 (A1)

金属 1 层是底层金属，通常也称为“1 铝”，在 st02 技术文件中命名为 A1，绘制图型时应选择 A1 (drw)。st02 技术文件中有 3 层金属，其它两层为 A2 和

A3, 只有金属 1 层能够经接触孔与半导体材料连接, 其它两层需经过通孔 W2 和 W3 与 A1 连接。绘制单元电路的版图时尽量避免使用 A2 和 A3 层, 如果仅用 A1 不行, 可考虑使用 POLY1 做短距离连接, 高层金属这两层要保留给单元之间的连线。

- 金属 1 标注层

用来标注单元的引脚 (pin)。

绘制反相器的版图主要使用以上几层, 详细设计规则见附件 1, 应先浏览一下, 但不必硬记。绘制版图时需要**经常使用 DRC 验证工具检查**, 出现错误提示时可参考附件 1, 熟练时, 常用设计规则可自然记住。

### 4.3 版图设计工具 Virtuso 的基本操作

在正式绘制反相器之前, 应首先掌握版图编辑工具 Virtuso 的基本操作方法, 并熟悉 DRC 验证工具 (Calibre) 的使用方法。学习版图设计可按以下步骤进行:

(1) 启动 Cadence

先进入 cds 再输入 icfb 命令启动 Cadence, 参见第 3 章。

(2) 打开库管理器

在 CIW 窗口选择 File→Library Manager, 可见到图 4-2。

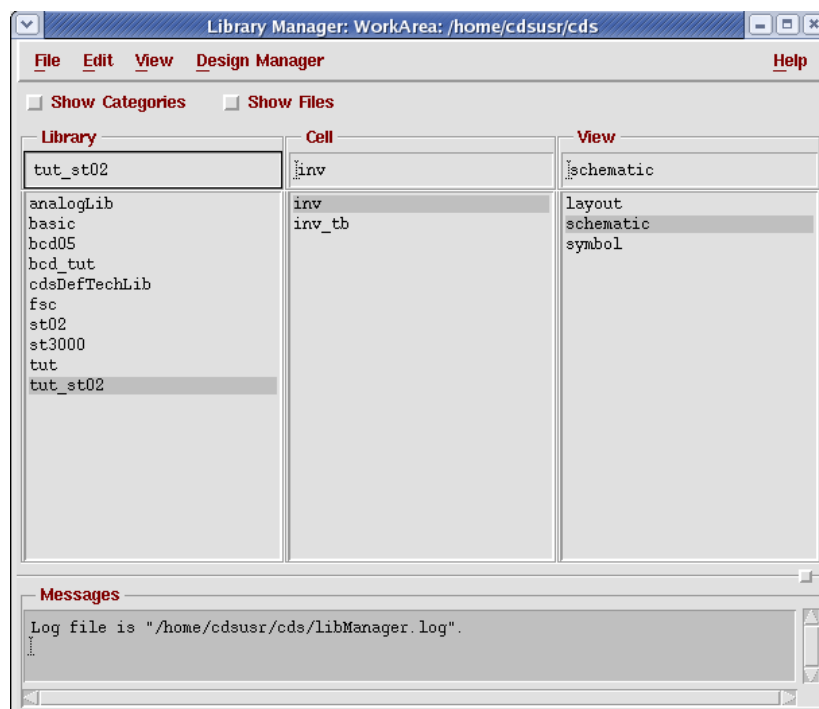


图 4-2 选择库

### (3) 建立一个版图 (layout) 视图

在庫管理器窗口中先前建立的“tut\_st02”库名上点击一下，选中该库，然后选择 File→New→Cell View，将出现“Create New File”窗口。本章首先练习两种 MOS 管的画法，故先建一个名为“nmos”的版图型 (layout) 的单元 (Cell) 视图。建 layout 型视图要先点“Create New File”窗口中“Tool”右侧的按钮，并在弹出的工具列表中选择“Virtuoso”，“View Name”将自动变为“layout”。填写 Cell Name 后，在图 4-3 的状态下点“OK”即可生成一个 layout 型的视图，并自动出现版图编辑窗口和“层选择器”窗口。

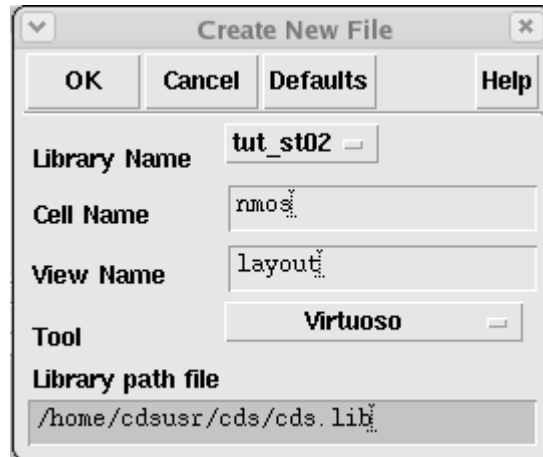


图 4-3 建立版图视图

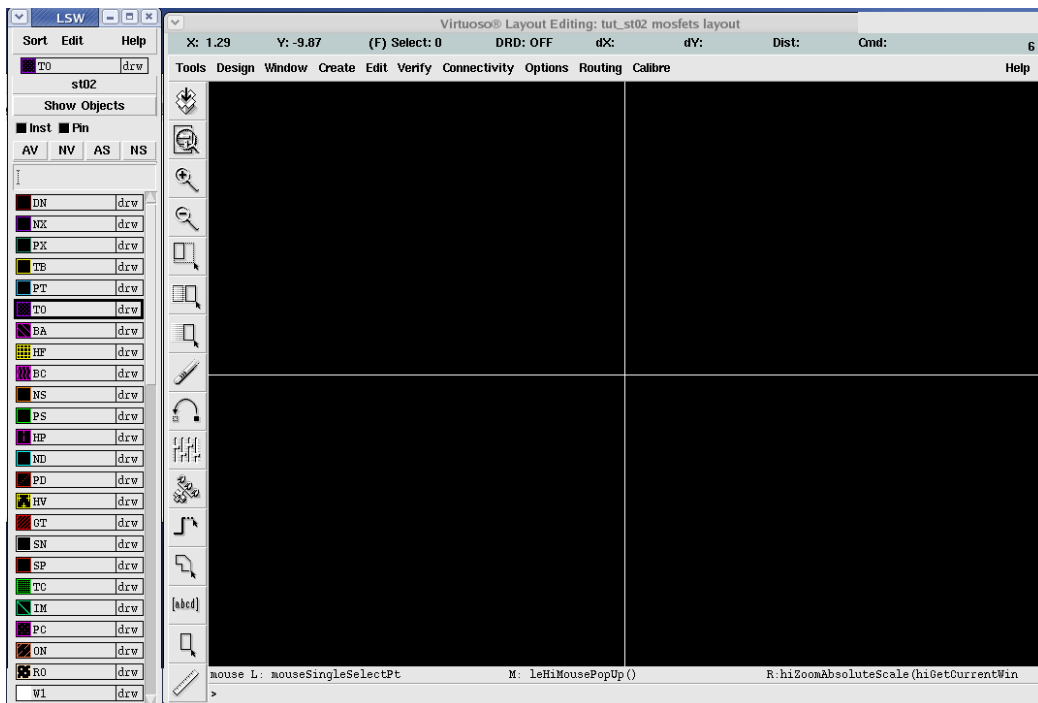


图 4-4 版图编辑窗口

### (3) 设置显示栅格

版图设计需要精确确定每个图形的尺寸,为使操作方便一定要首先**合理设置栅格的间距和鼠标移动的“步距”**。在版图编辑窗口选择 Options→Display 将出现图 4-5,在“Grid Control”下方的 4 个参数中,“Minor Spacing”决定细栅格的间距,“Major Spacing”决定粗栅格的间距,“X Snap Spacing”决定鼠标横向最小移动距离,“Y Snap Spacing”决定鼠标纵向最小移动距离,这些数据的设置与使用的工艺有关,必须合理设置。

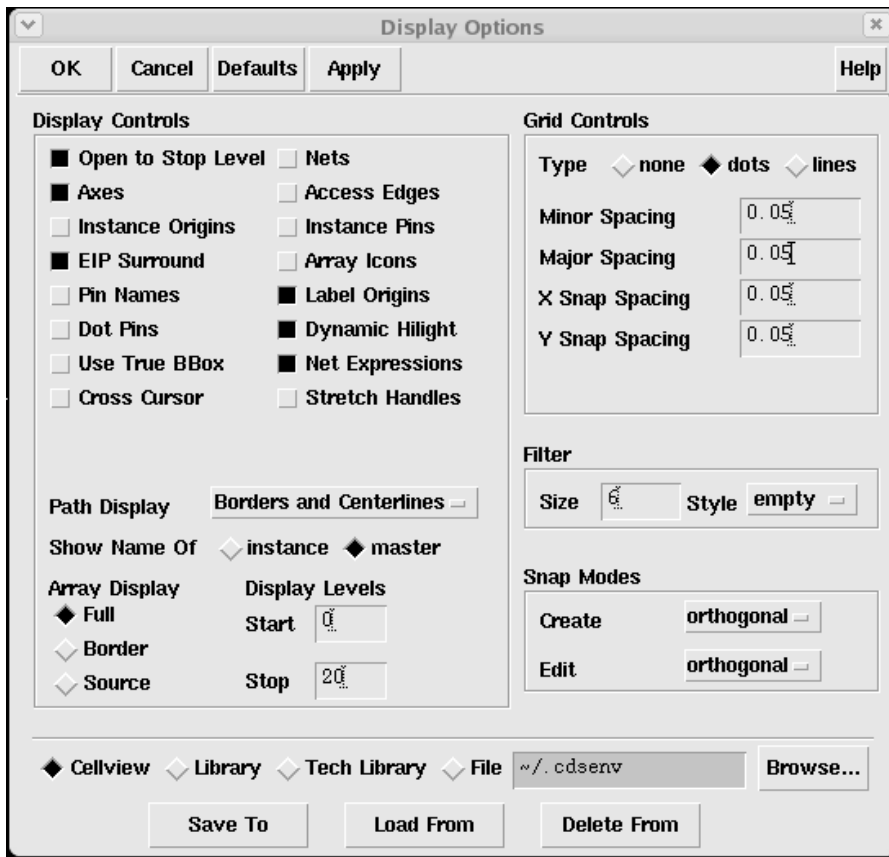


图 4-5 设置显示栅格

对于 st02 工艺,将以上 4 个参数都设为“0.05”(单位为微米)比较合适。st02 的设计规则中的数据精确到 0.05 微米,因此不能设大。如果设得更小,如 0.01 微米,虽然也能画,但鼠标难以控制。将以上 4 个参数设置相同,可保证图形的边界始终落在 0.05 微米栅格上。

注意:每次新建或打开一个版图视图,栅格都要重新设置,Cadence 并不自动保存以前的设置。

#### (4) 基本操作练习。

设置栅格后，要首先点击版图编辑器上的“+”图标，直到屏幕上能够看到栅格为止。绘制某一层的图形时，要先在 LSW 窗口中选择绘图层，方法是点击需要使用的绘图层，并观察 LSW 窗口最上方的显示，例如在图 4-6 中，由于 TO (drw) 被“按下”，窗口上方就出现了“TO (drw)”，说明当前选中的绘图层是 TO (drw)。首次接触 Virtuoso 应先学习以下基本操作：

- 绘制矩形

首先选择绘图层，然后在菜单上选 Create→Rectangle，这个操作确定了鼠标左键的功能为“画矩形”。将鼠标左键在版图编辑窗口中的某个位置“点一下，松开左键，向外拉”，就会看到矩形出现，并随鼠标改变大小。再点击一次，矩形就确定了。可见

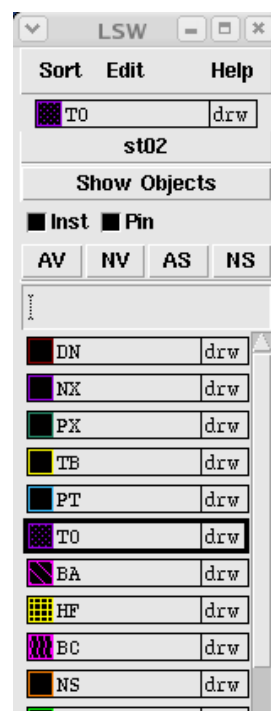


图 4-6 选择层

版图编辑器的操作风格与原理图编辑器和符号编辑器是一致的。图 4-7 是一个有源区的图形，如果栅格和步距设置合理，图形边界总是在栅格上。

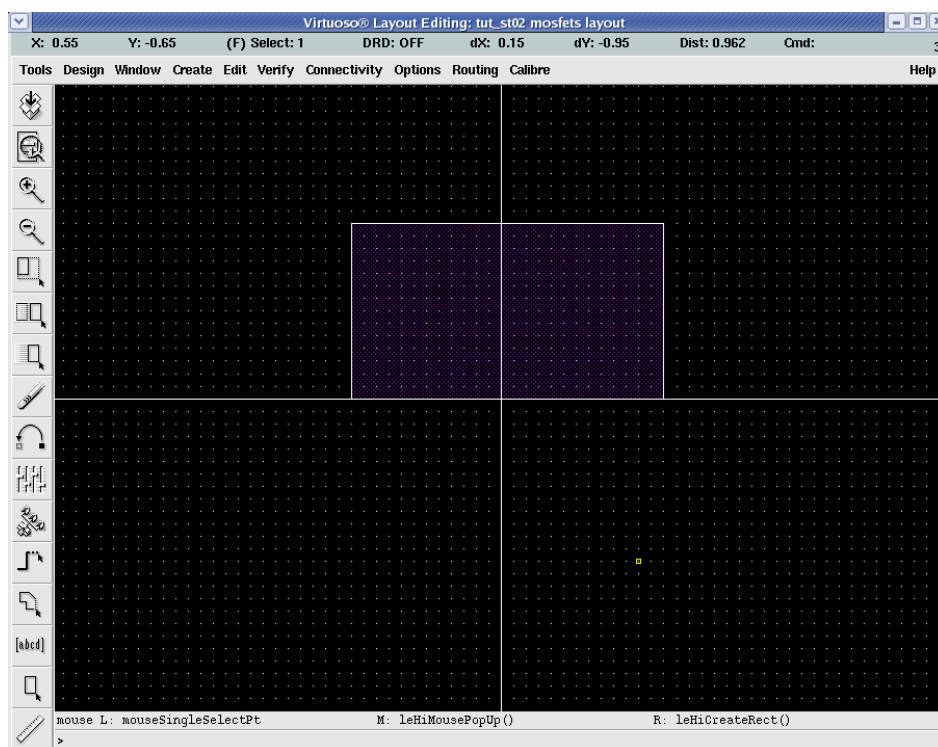


图 4-7 绘制一个矩形

- 改变矩形的大小

使用菜单操作的方法是 **Edit→Stretch**，也可以点版图编辑窗口的“Stretch”图标或使用快捷键“s”。然后**点击图形的边框**，松开鼠标后拖动，即可改变图形的大小。注意，直接选择菜单有时**无法切换操作模式**，遇到这种情况需先**按一下“Esc”键**，回到默认模式，再重新操作。

- 移动一个图形

菜单操作方法为，**Edit→Move**，也可以点工具栏中的“Move”图标或使用快捷键 m。选择 Move 操作模式后，在要移动的图形上点一下，松开左键后拖动，即可移动图形。在默认设置下，图形只能水平或垂直移动，可以修改为任意移动模式，但这种模式对定位有利，最好不要修改。

- 拷贝一个图形

菜单操作方法为，**Edit→Copy**，也可以点工具栏中的“Copy”图标或使用快捷键 c。选择 Copy 操作模式后，在要 Copy 的图形上点一下，松开左键后拖动，会看到图形随鼠标移动，到合适的位置再点一下，图形就会拷贝到该位置。

- 局部放大

用鼠标**右键**在需要放大的区域“虚画一下”，该区域就被放大。以后可使用工具栏上的“-”或“+”调整屏幕大小，选 **Window→fit** 操作可观察整体。

- 使用“尺”

按 **Esc** 键回到默认操作模式，点工具栏中的“尺形图标”，然后采用在需要测量的起点处点一下，拖动鼠标即可看到“尺”，再次点击鼠标，“尺”就固定在屏幕上了。按“**shift + k**”可以取消所有的“尺”。使用“尺”以后，一般需要先按 **Esc** 键才能切换到其它操作模式。

- 删除图形

在菜单中选择，**Edit→Delete**，就使鼠标左键的功能定义为删除，以后点击一个图形，就删除该图形。

- 整体移动和拷贝

先选择操作模式为 Move 或 Copy，在需要移动或拷贝的图形外围“画一个框”，即可看到图形被选中，在其中某一个图形上点一下，再拖动鼠标即可。

学会以上操作就可以进行下一节的练习了，其它操作可以以后再学。

### (5) 绘制 NMOS 管版图

反相器中的 NMOS 管的尺寸为： $W=800\text{nm}$ ， $L=550\text{nm}$ ，现在练习画这个 NMOS 管的版图，要求在满足设计规则的前提下，使源区和漏区的面积最小。

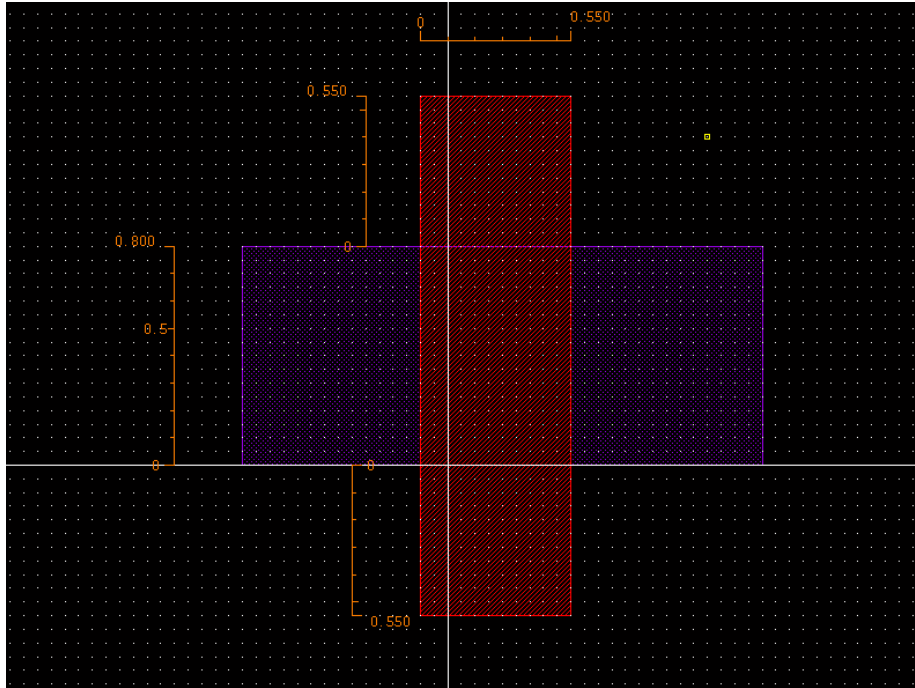


图 4-8

首先，在版图编辑窗口画有源区，方法是先选择 TO (drw) 层，然后画一个矩形。有源区的宽度就是沟道宽度  $W$ ，因此必须调整为  $800\text{nm}$ 。然后，在有源区中间位置用 GT (drw) 层（多晶 1 层）画 MOS 管的栅极，多晶的宽度就是沟道的长度，必须调整为  $550\text{nm}$ 。先画哪一层没有关系，因为工艺是固定的，软件也不记录绘制次序，版图的作用只是确定每层图形的大小和相对位置。

多晶必须伸出有源区  $550\text{nm}$ ，这是设计规则的要求，在源区和漏区要打上接触孔，以便连接金属导线。某些工艺还要画出  $N+$  注入区，但 st02 工艺只有 P 管需要画  $P+$  注入区（非  $P+$  注入的地方都是  $N+$  注入区）。接触孔的大小，以及接触孔与多晶的间距要求将决定最小源和漏的面积。由于很难记住具体尺寸要求，必须借助 DRC 检查工具，以下介绍 Calibre 的 DRC 操作方法。

### (3) Calibre DRC 操作

尽管在介绍设计流程时，设计规则检查是在版图设计完成时进行的，但实际操作中，每画完一个局部，就要进行一次检查。Cadence 自己的版图验证工具有 Diva、Dracula 等，这些工具要么功能不强，要么操作不方便，目前已较少使用。Calibre 是 Mentor 公司的版图验证工具，目前是最受用户欢迎的一种，各主要半导体厂家目前都提供 Calibre 格式的 DRC 规则和 LVS 规则。Calibre 可以独立使用，也可以集成在 Cadence 的设计环境中。这里介绍后一种使用方法，可以从版图编辑窗口的菜单启动 Calibre。

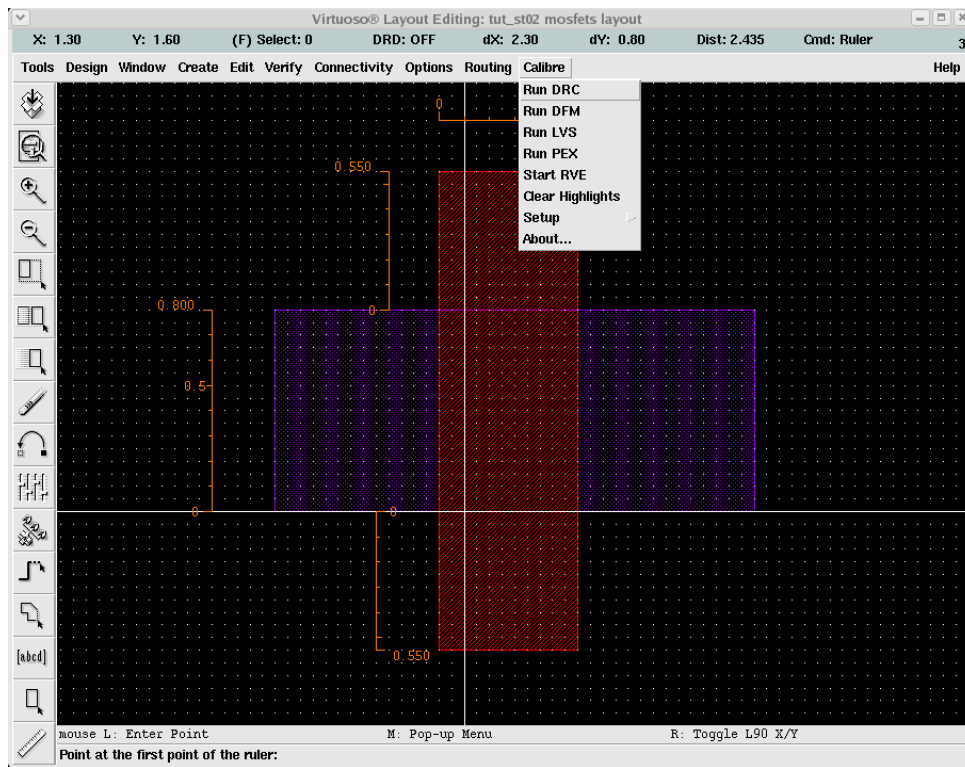


图 4-9 绘制 NMOS 管的过程

点击版图编辑窗口菜单上的“Calibre”可以看到“Run DRC”、“Run DFM”等选项（见图 4-9），做 DRC 就选择“Run DRC”，同样以后做 LVS 操作，就选“Run LVS”。选择“Run DRC”后会出现图 4-10。

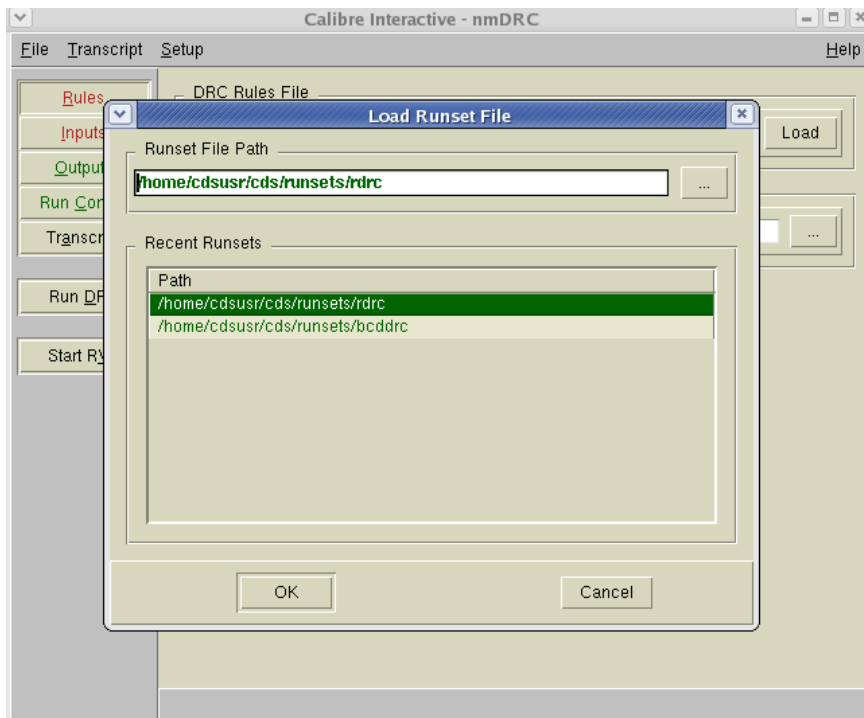


图 4-10 启动 Calibre DRC

首次操作出现的画面可能与图 4-10 略有不同，因为可能还没有“Runset”。“Runset”是用来保存上一次设置的，假设其不存在，点“Cancel”按钮，上层窗口将消失，出现图 4-11。

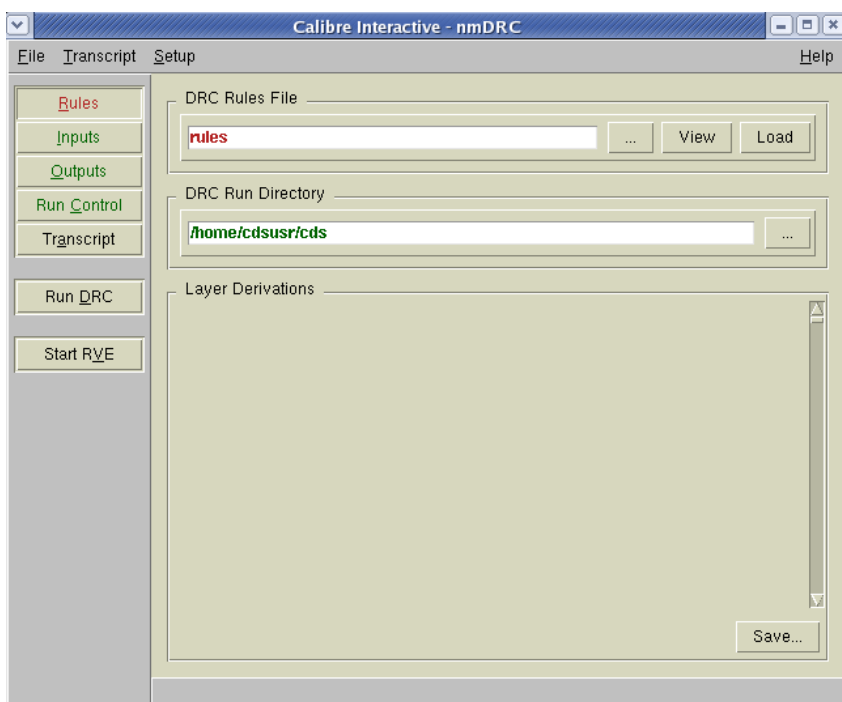


图 4-11 选择设计规则文件

首先点窗口中的“Rulse”选择 DRC 规则。然后按“规则”窗口右侧的“...”寻找规则文件，这时将出现图 4-12。

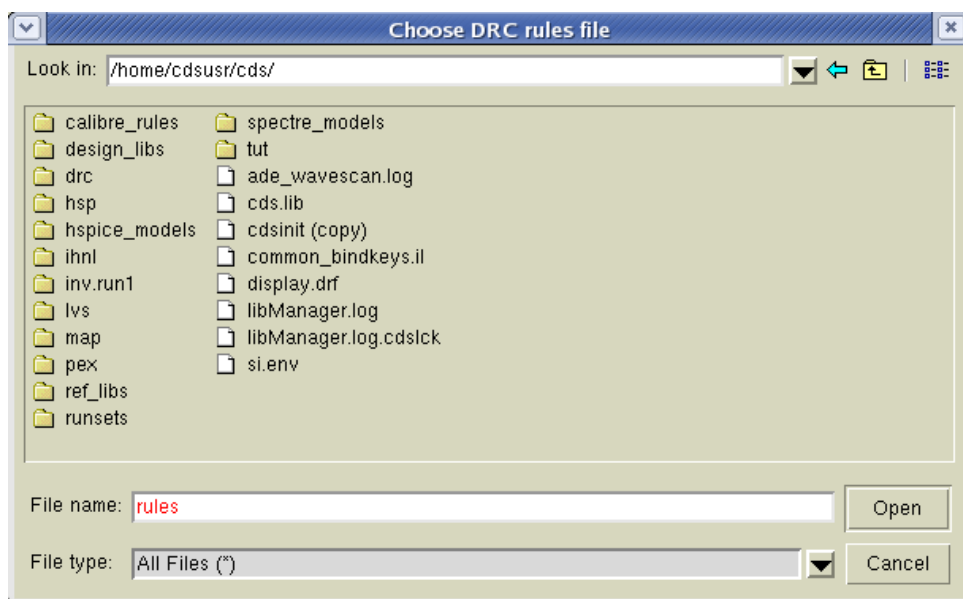


图 4-12 寻找设计规则文件

规则文件放在“Calibre\_rulse”目录下，双击打开后可看到两个子目录，分别为“st02\_rulse”和“st3000\_rulse”（见图 4-13）。目前需要的 DRC 规则文件在“st02\_rulse”中。

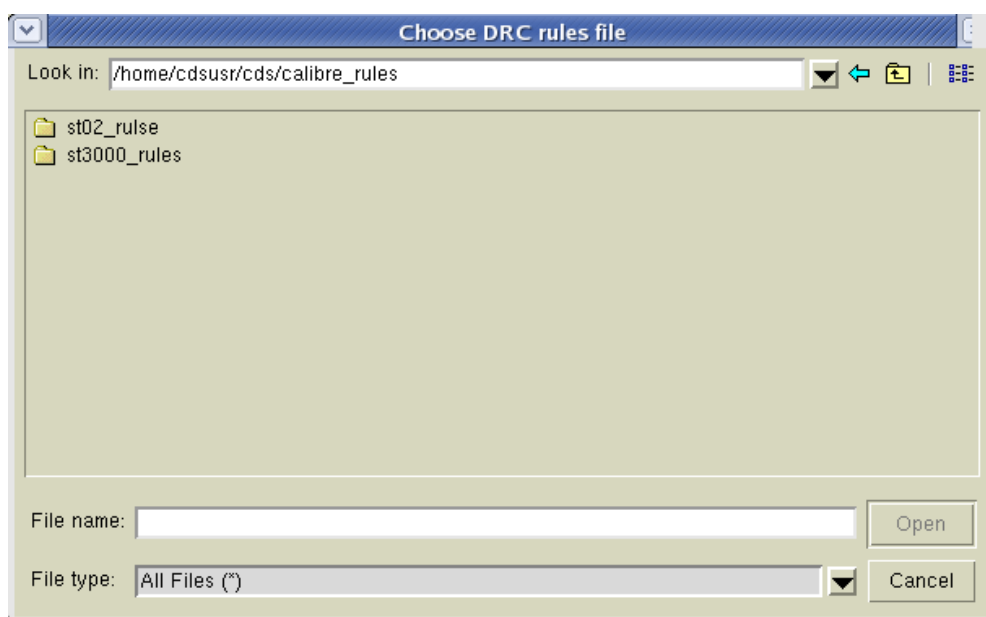


图 4-13 使用 st02\_rulse 中的规则

打开 st02\_rulse 目录可看到 4-14 所示的文件。选择“csmccalibre.drc”，然后点击“Open”，将回到原来的窗口。

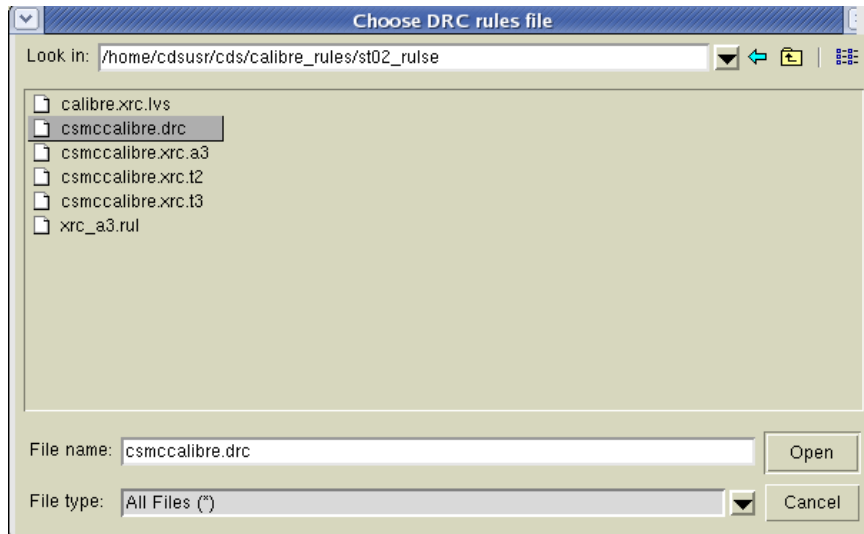


图 4-14 选中规则文件

现在 DRC 窗口中应该有规则文件了，Rules 应该变为绿色。注意，在该窗口还要将“DRC Run Directory”改为“/home/cdsusr/cds/drc”，将运行结果生成在这个子目录下，并定期清理，否则会使运行环境变得很乱。

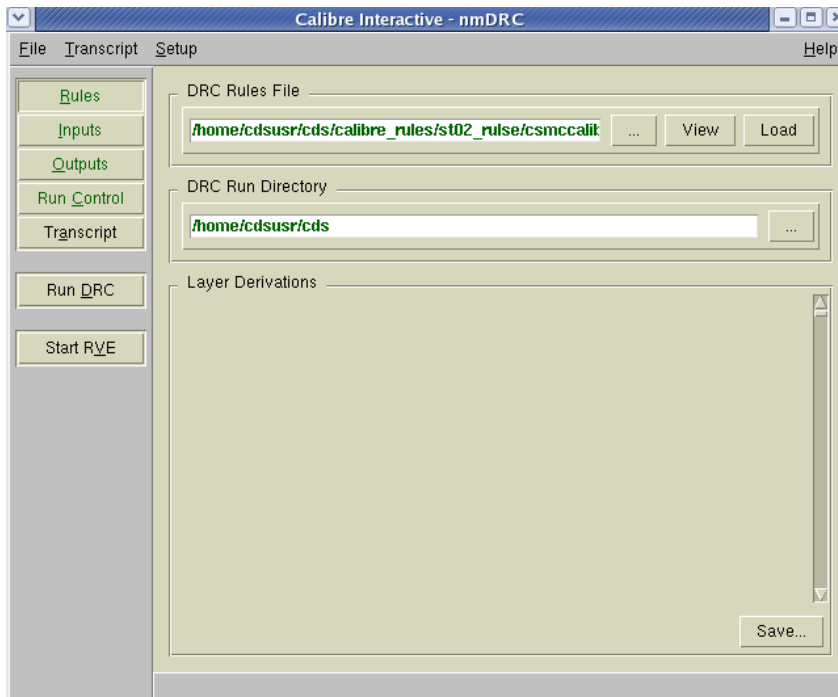


图 4-15 修改运行目录

设置好规则后点“inputs”，将“Export from layout viewer”旁边的按钮选中，使窗口如图 4-16 所示，意思是让软件自动从版图视图中生成 GDSII 格式的文件，待窗口中所有按钮颜色变绿后就可以运行 DRC 了。

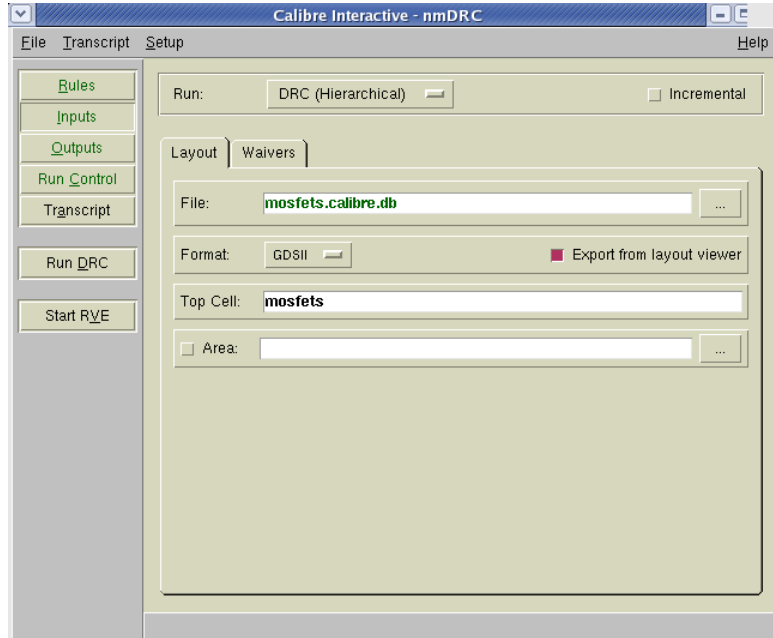


图 4-16 选择输入文件

点图 4-16 中的“Run DRC”就可以运行 DRC 了，以后还可能弹出一些询问窗口，点“OK”或“Yes”即可。关闭 Calibre 时，系统会提示是否保留“Runset”，自己起个名，将其保存到“/home/cdsusr/cds/runsets”下，下次启动直接加载即可。

运行 DRC 会自动给出结果，由于版图还没有画完，图 4-17 和 4-18 所显示的错误暂时不必考虑。

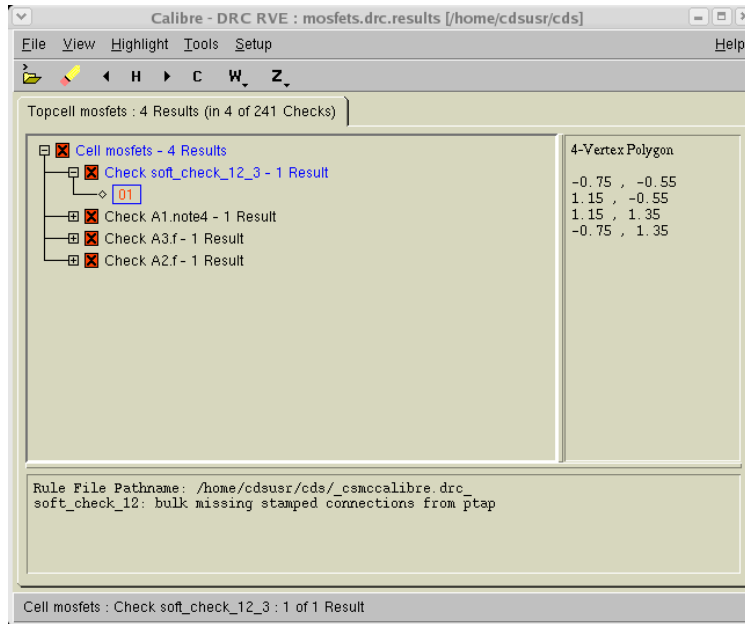


图 4-17 DRC 错误提示

点击错误号(红色的“01”)会给出错误提示,“bulk missing stamped connection from ptap”这个错误是说“衬底”没有连接,这一节先不必考虑,正式画反相器时,画完衬底接地的接触孔后该错误会消失。

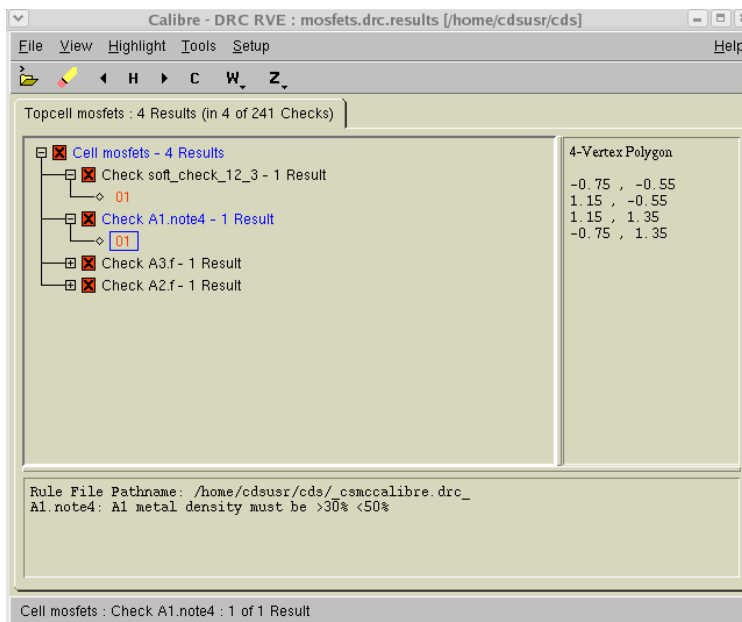


图 4-18 观察 DRC 错误类型

“A1 metal density must be...”是警告性的,提示金属 1 的面积不符合要求,以下两个提示 A2 和 A3 面积问题。这个问题在当前的单元设计时不考虑,一般在完整版图完成后再考虑。

第 1 个练习的结果应如图 4-19。其中接触控使用 W1 (drw) 层绘制, 只能是  $0.5\mu\text{m}\times 0.5\mu\text{m}$ 。绿色的是 A1 (drw) 层, 可参照图中给出尺寸绘制。

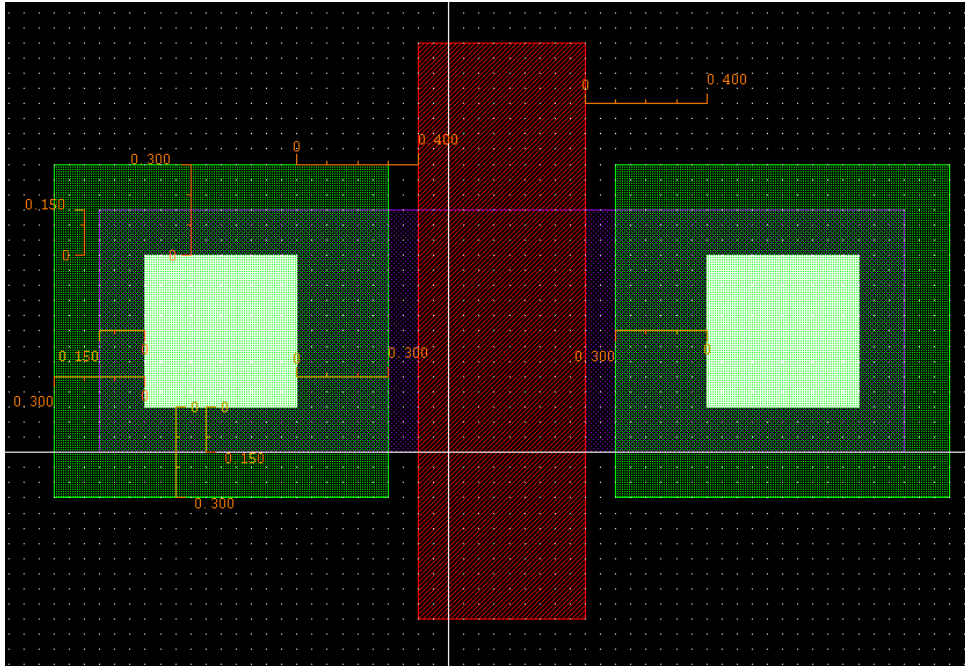


图 4-19 MOS 管版图 (无衬底连接)

运行 DRC 后不产生新的错误, 且源、漏区面积都不能再小, 就完成了第一个练习。

尽管在实际的版图设计时, NMOS 管的版图可以直接从 st02 库中调出, 但以上练习对初学者仍是必要的, 因为实际的版图中总会有一些器件需要从头开始绘制, 必须掌握自己设计器件的方法。

第 2 个练习是画 PMOS 管。另建一个版图视图, 命名为 pmos, 按图 4-19 给出的尺寸绘制, 图中黄色边框的矩形是 N 阱, 用 TB (drw) 层绘制, 红色边框的矩形是 P 注入区, 用 SP(drw)层绘制。PMOS 管的宽度是  $2.1\mu\text{m}$ , 长度是  $550\text{nm}$ , 要求 DRC 错误不多于图 4-21。

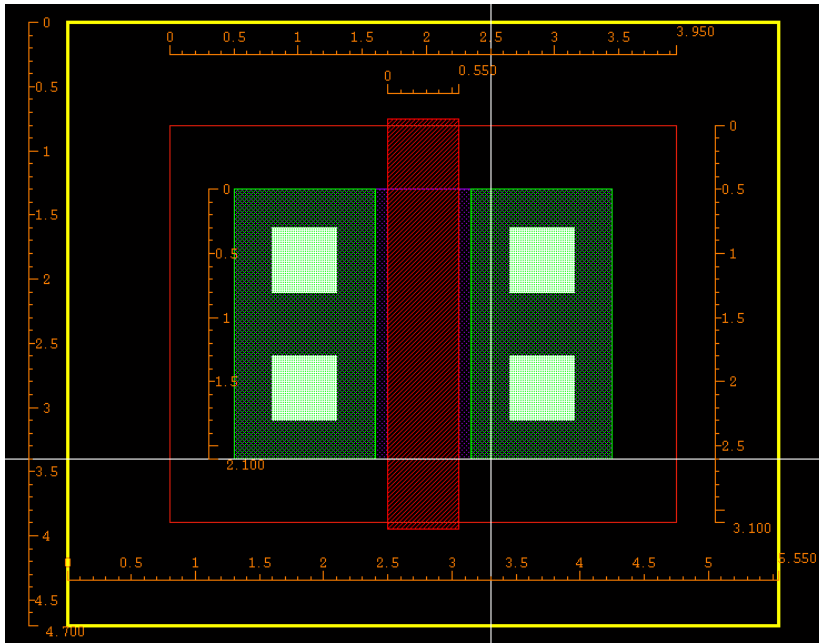


图 4-20 PMOS 管版图

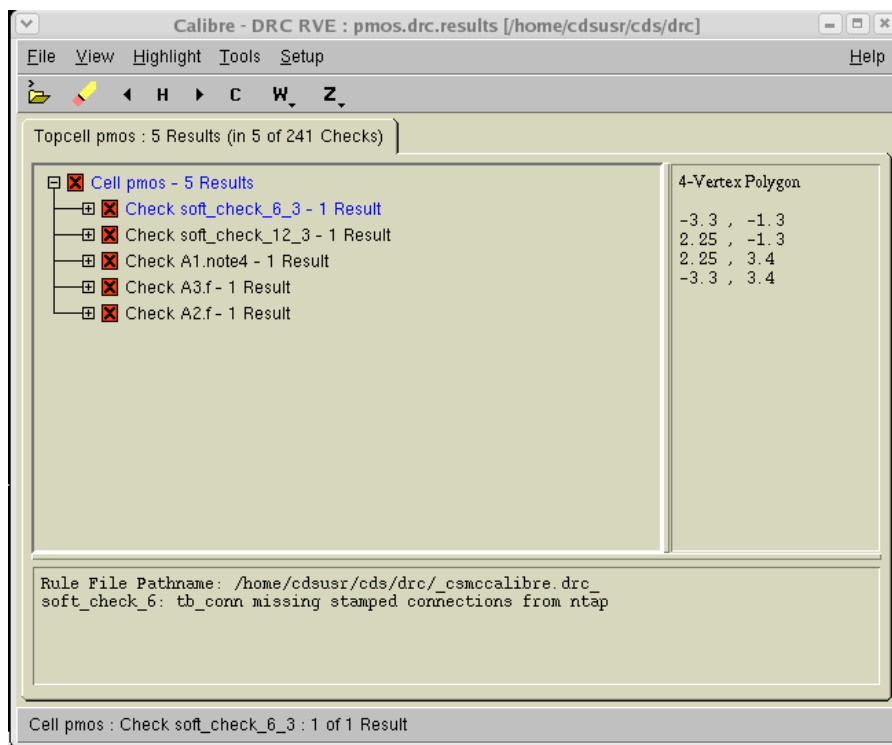


图 4-21 目前允许存在的 DRC 问题

这个新增加的错误是说阱没有连接，画反相器时，将阱连接电源后该错误会消失。

# 第 5 章 版图设计和 LVS

## 5.1 引言

通过上一章的学习可以认识到,版图设计工作就是根据厂家工艺文件的要求来绘制器件各个“层”的图形,掌握基本绘制方法就能够完成任何版图设计。但由于存在设计规则约束,从最基本的元件开始进行版图设计是比较费时的。为提高工作效率,生产厂家通常提供一个开发套件(PDK),其中包含一个参数化器件(PCELL)库,例如前面提到的 st02 库。在 PCELL 库中有各种常用器件的参数化版图视图。所谓参数化是指版图的图形可随器件参数自动变化,且保证满足设计规则。使用 PCELL 可以大大加速版图绘制进程,从本章开始,我们主要介绍这种设计方法。

在数字单元电路的版图设计时,一般需要统一确定单元电路的高度和电源线、地线的宽度,以便在后续设计中能够自然地拼接。在反相器版图设计中,假设对单元电路的高度和金属线宽度要求如图 5-1 所示,宽度以满足功能要求和设计规则的最小尺寸为准,不做强制规定。

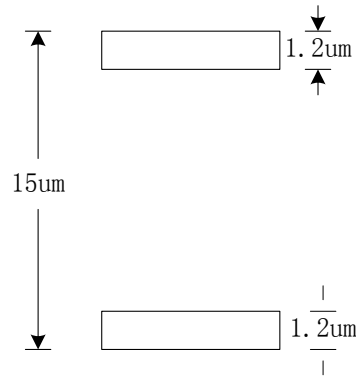


图 5-1 设计要求

在单元电路版图完成后,为保证版图与原理图一致,必须进行版图与原理图的对比,即 LVS。在我们的设计流程中,LVS 也是用 Calibre 完成,其操作方法与 DRC 操作相似。LVS 操作的原理是分别根据原理图和版图生成 Spice 格式的电路网表,然后比较两个“网表”的一致性。

## 5.2 基于 PCELL 的版图设计方法

反相器版图设计可以按以下步骤设计:

- (1) 在 inv 下新建一个版图类型的视图。

假设 inv 的原理图视图已经存在,首先点击库名和 cell 名,使库名和 cell 名下方出现灰色底纹(见图 5-1),这样可以将版图视图建在 inv 下。使用 Calibre 进行 LVS 操作时,一般需要将原理图视图与版图视图放在同一个 Cell 下,否则

操作比较麻烦。然后在库管理器菜单上进行如下操作：File→New→Cell View。在弹出的窗口（见图 5-3）中将 Tool 选为 Virtuoso，View Name 就自动变为 layout 了。执行操作后将出现图 5-4 所示版图编辑窗口。

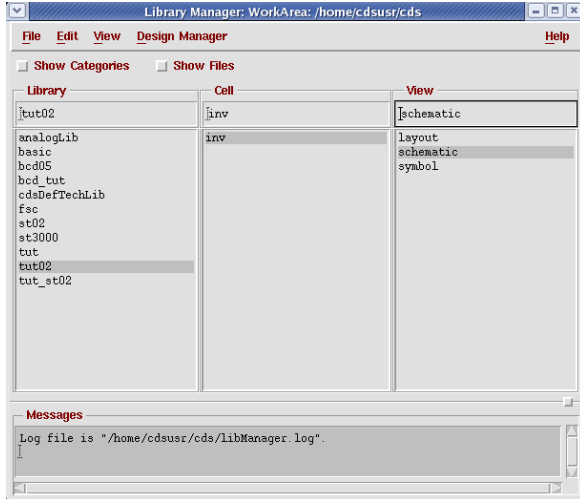


图 5-2 建立 inv 的版图视图

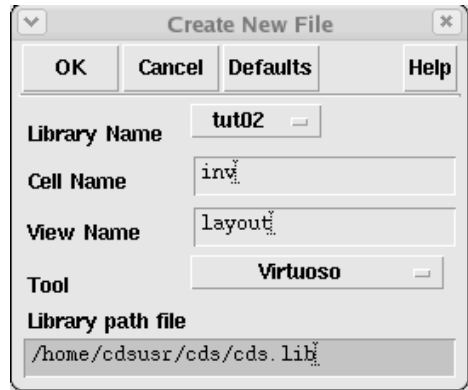


图 5-3 视图类型选择

## (2) 绘制 NMOS 管

在使用 PCELL 库进行版图设计时，NMOS 管不必自己绘制，从 st02 库中调用即可。操作方法是在版图编辑窗口中选择 Create→Instance，然后在弹出窗口中（见图 5-5）点“Browse”，然后到 st02 库中找“mn”，并选择 View 为 layout，见图 5-6。

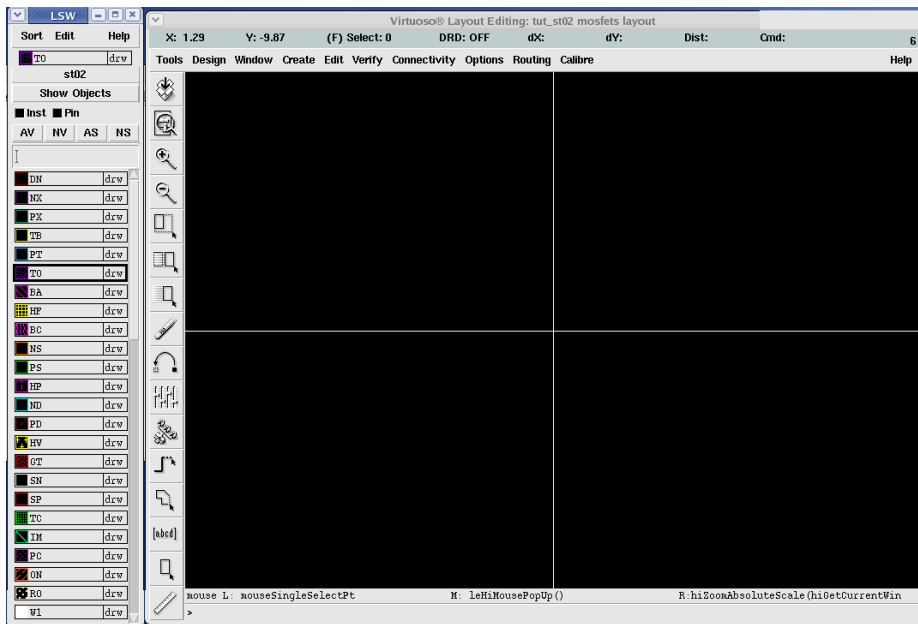


图 5-4 版图编辑窗口

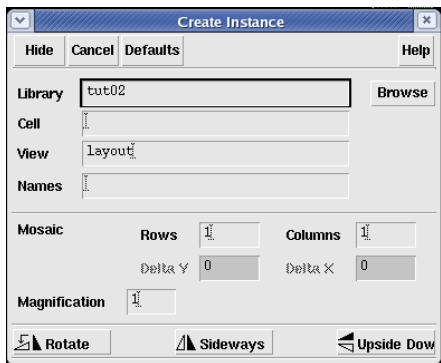


图 5-5 添加器件

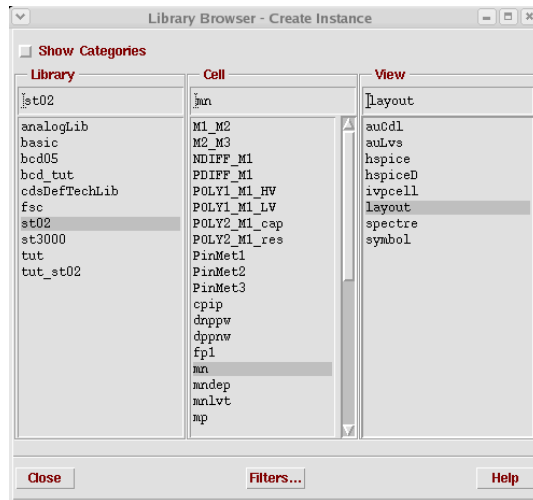


图 5-6 寻找 NMOS 管

关闭图 5-6 所示窗口，在图 5-5 上点“Hide”，即可在版图编辑窗口中看到 mn 的符号，在任意位置点一下，即可将该器件放在版图中，见图 5-7。

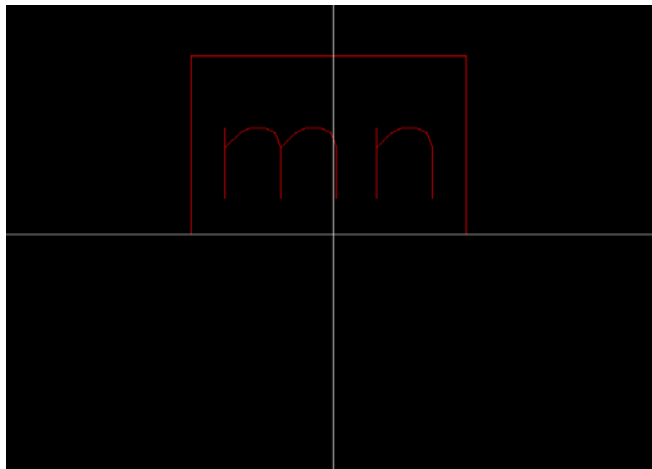


图 5-7 默认状态的 NMOS 管

现在能看到的是器件的轮廓，按“shift + f”键（同时按两个键），改变显示层次，就能看到细节（见图 5-8）。按“Ctrl + f”回到原层次。

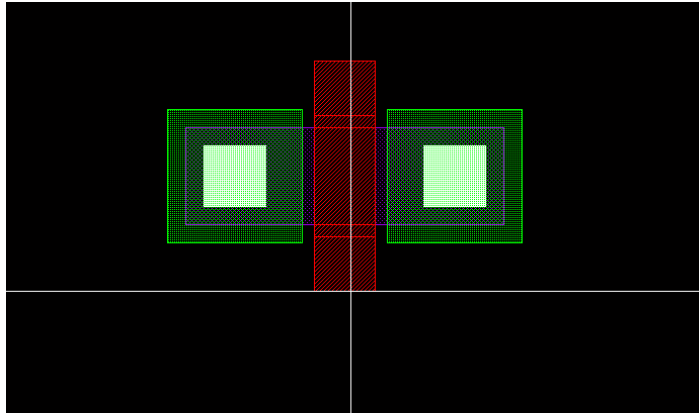


图 5-8 NMOS 管的细节

### (3) 修改属性参数

用鼠标左键点击该器件，使其被选中（出现白色边框），然后点击版图编辑窗口的属性图标（与原理图编辑器的属性图标形状相同），将弹出图 5-9 所示的属性窗口，点“Parameter”左边的小方块，出现器件参数。

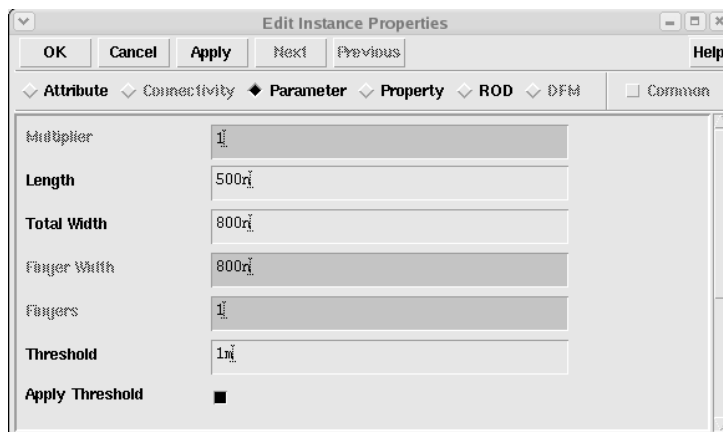


图 5-9 MOS 管属性

将 Length 修改为 550n，使其与原理图一致。然后点下方的“Bodytie Type”（体连接类型）右侧按钮，将其改为“Detached”，使其出现衬底连接。然后选择下面的“Bottom Tap”，最后状态见图 5-10。

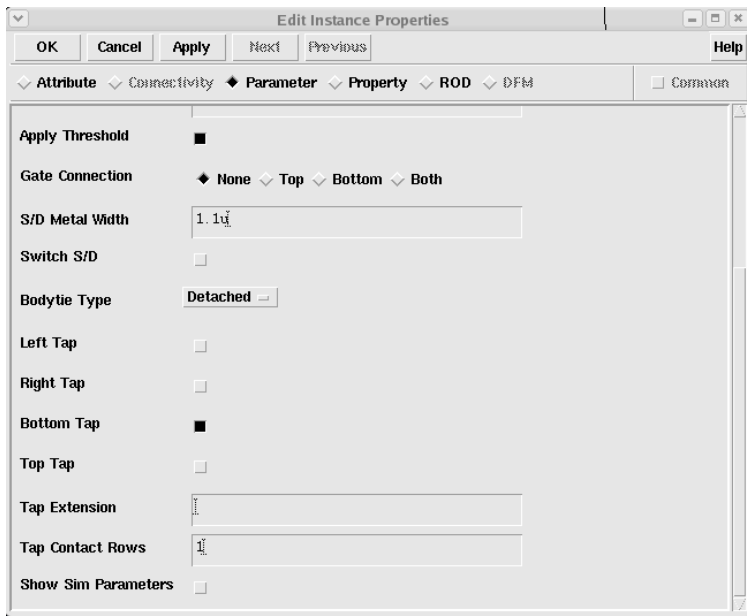


图 5-10 添加“体”连接

在图 5-10 的状态下点“OK”，可以看到 mn 的版图变为图 5-11。在下方出现了衬底接地的接触孔和金属线。仔细观察可以发现，红色边框的图形是 P+注入层（SP），绿色金属 1 层下方还有“有源区”（TO 层）。这样设计的原因如下，由于 P 衬底掺杂浓度低，必须经过 P+实现欧姆接触才能连接金属，为注入 P+离子，必须使该区域为薄氧化区，即有源区。由于注入存在角度问题，为保证注入，P+区域需要包围有源区且与有源区边界有足够的距离。

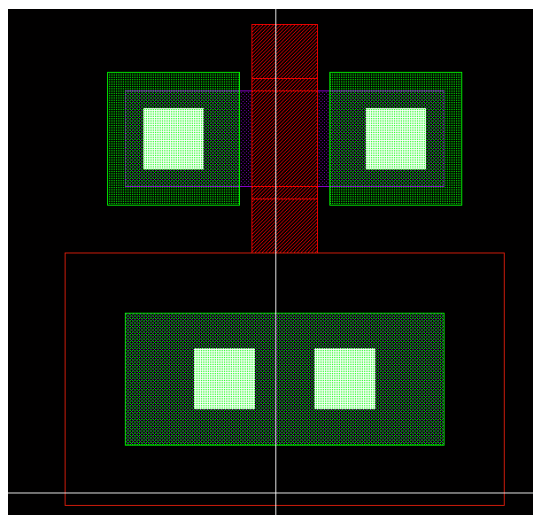


图 5-11 有体连接的 NMOS 管

现在可以做一次 DRC 检查，操作见第 4 章，结果应如图 5-12，剩余的两个“错误”都是金属面积问题，目前不用考虑。

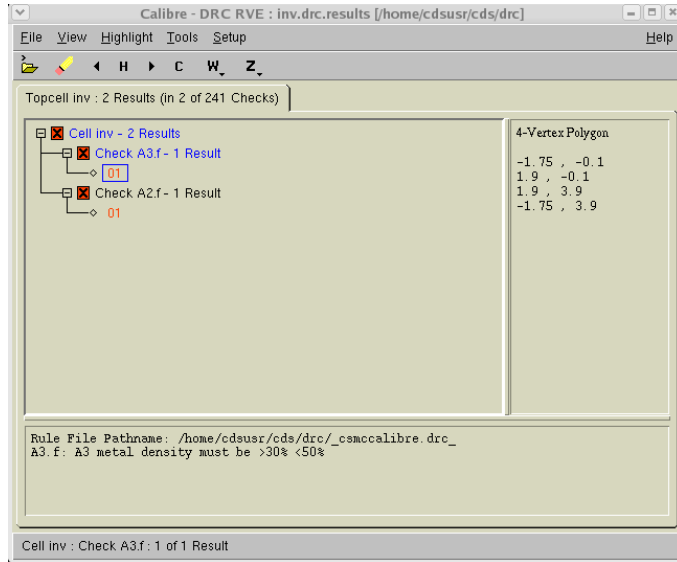


图 5-12 允许的 DRC 问题

#### (4) 绘制地线

首先检查一下版图编辑窗口的栅格设置，用第 4 章介绍的方法将所有参数设为  $0.05\mu\text{m}$ 。移动器件使多晶左边恰好对准 Y 轴。将连接衬底的金属 1 层加宽为  $1.2\mu\text{m}$ （见引言中的设计要求），并使其与 NMOS 管的金属边界对齐，该金属线就作为反相器的地线。注意，地线要用 A1 (drw) 层在原有基础上画。

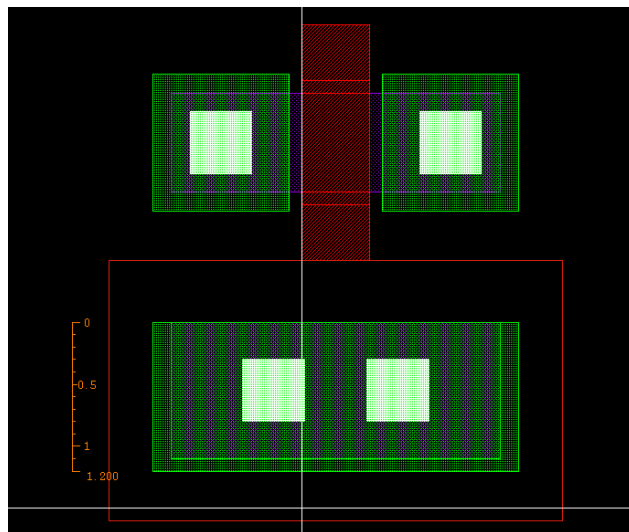


图 5-13 加宽地线

### (5) 确定反向器的高度

用“尺”（编辑窗口左下的图标）从地线下边界向上“拉” $15\mu\text{m}$ ，并将尺固定。操作时应首先放大图形，使尺的起点对准地线的下边界，上拉“尺”达到屏幕顶端时，只要按住键盘上的向上箭头，屏幕就能向上滚动，“尺”的显示也会变化，看到“尺”显示 $15\mu\text{m}$ 时，点一下，“尺”就固定了，以后点 Window→fit 就能将所有图形显示在屏幕中央。

然后将自己画的地线金属拷贝到上方作为电源线，最后如图 5-14，反相器的面积就已基本确定了。

### (6) 放置 PMOS 管

放置 PMOS 管的方法与放 NMOS 管类似。PMOS 管用 St02 库中的 mp。按设计要求修改 mp 的宽度为  $2.1\mu\text{m}$ ，bodytie Type 也选 Detached，但连接位置要选 Top Tap。最后状态应如图 5-15，以后将上方的金属线定义为电源线，N 阱就连接到了电源 vdd。该金属线下方也有有源区，并将注入为 N+，但 st02 工艺不需要画出 SN 层。

最后将 PMOS 管放在反相器上方，多晶左边沿对准 Y 轴，调整“体”连接金属线与电源金属线下边界对齐，再适当调整电源线宽度

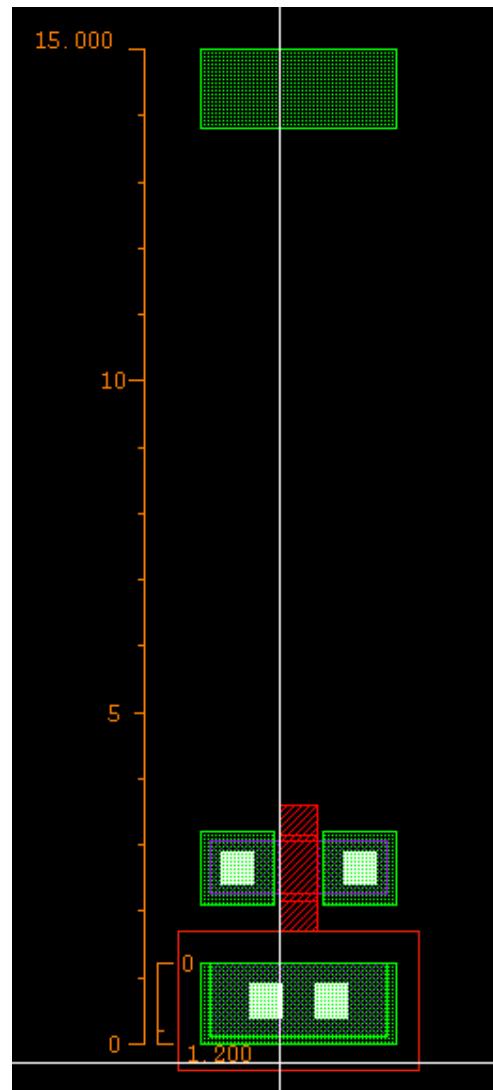


图 5-14 确定高度

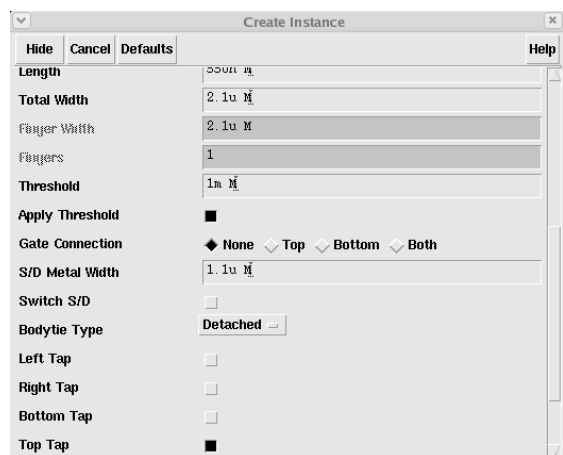


图 5-15 修改 PMOS 管属性

如图 5-16。

(7) 绘制连接线

“栅极”可直接用多晶连接。使用绘制“矩形”操作(Create→Rectangle)即可。“源极”和“漏极”连接可以用绘制“矩形”的操作,也可选择 Create→Path 的操作连接(见图 5-17)。

(8) 绘制栅极与金属层的连接

由于多晶电阻大,不能用于远距离连接,反相器的输入需要连接到金属 1 层才能与外部相连。

多晶与金属的连接部分在 st02 库中也有作好的器件,使用 Create→Instance 操作,然后在 st02 中找 POLY1\_M1\_LV,(见图 5-18)放在反相器中间,与多晶连接起来即可(见图 5-21)。

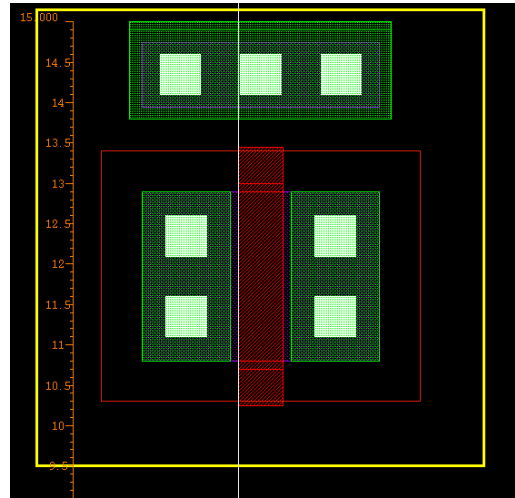


图 5-16 有体连接的 PMOS 管

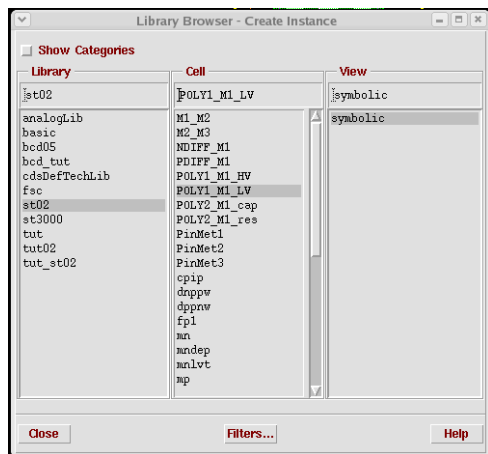


图 5-18 选择 Poly 与金属连接件

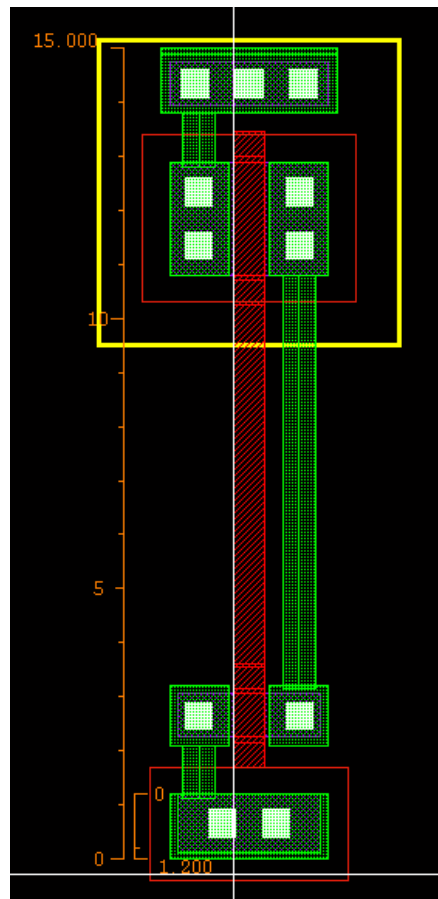


图 5-17

### (9) 添加 Pin

在做 LVS 之前，必须在版图上标注电源、地和输入输出的位置，因为软件无法自动识别金属线的作用。在 st02 工艺中，标注 pin 需要使用 A1 (Text) 层，操作方法为 Create→Label。执行后将出现图 5-19 所示的窗口。将电源的名字写为 vdd!，然后放在电源的金属线上即可。用同样的操作标注地线，地线名字为 gnd!，这些名字不能随意起，因为 AnalogLib 中的 vdd 符号在生成 spice 网表时的节点名就是 vdd!，gnd 符号生成的节点名称为 gnd!。

输入、输出 pin 的名字要与原理图一致，这里分别为 A 和 Y。标注方法与标注 vdd 和 gnd 相同。

完成标注的版图如图 5-21。

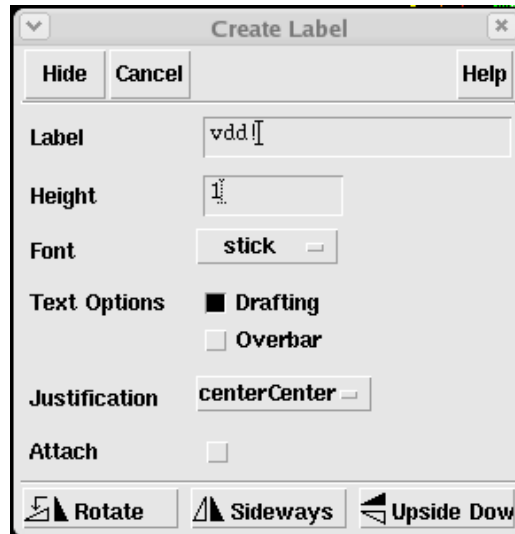


图 5-19 标注 vdd 的 pin

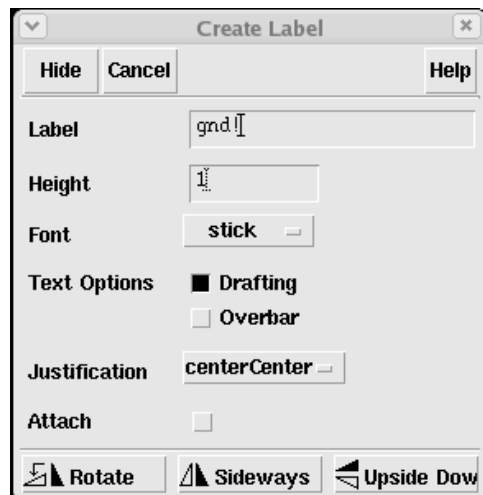


图 5-20 标注 gnd 的 pin

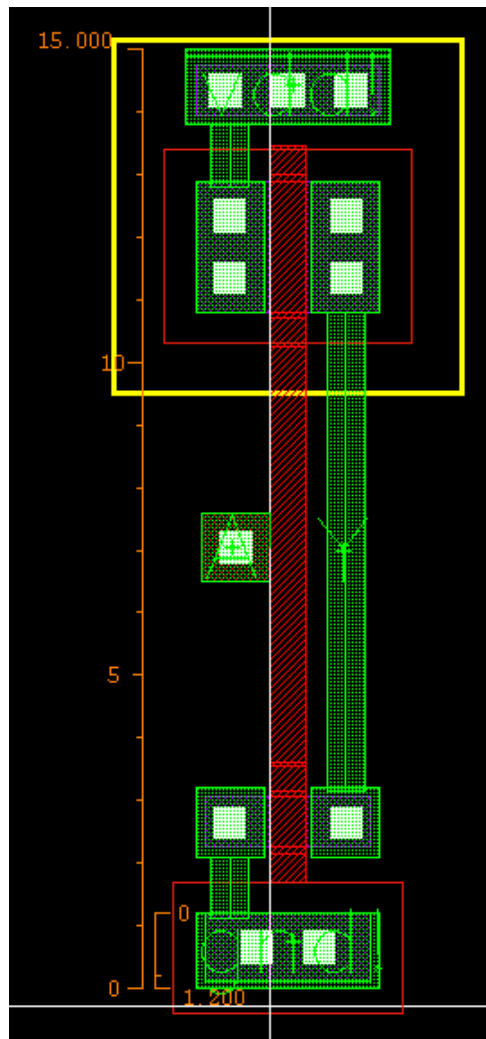


图 5-21 完成的 inv 版图

#### (10) 版图与原理图对比 (LVS)

在版图编辑窗口的菜单上选择 Calibre→Run LVS 将弹出 Calibre LVS 的窗口 (图 5-22 在前, 5-23 在后), 图 5-22 是系统将提示是否加载 Run Set 的窗口, 如果以前曾保存过设置, 可直接加载。如果自己并没有保存过 Run Set, 就在图 5-22 点 Cancel, 该提示窗口将被取消, 图 5-23 所示窗口将出现在屏幕上。

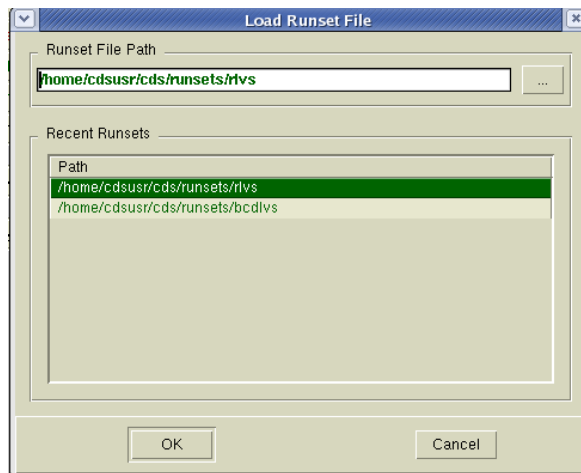


图 5-22 启动 Calibre LVS

首先在图 5-23 点“Rules”按钮，指定 lvs 规则文件，点击 rules 窗口右边的“...”将出现图 5-24。

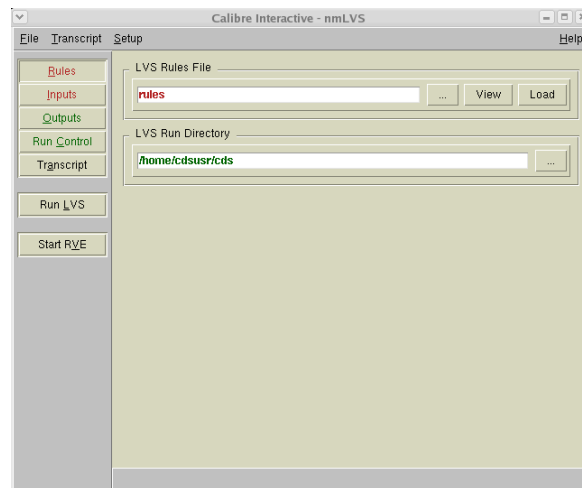


图 5-23

LVS 规则文件保存在“calibre\_rules”目录下（见图 5-24），双击该目录，然后再打开其中的“st02\_rules”子目录，最后找到 calibre.xrc.lvs 的文件，在图 5-25 的状态下，点“Open”，就可加载 lvs 规则文件。

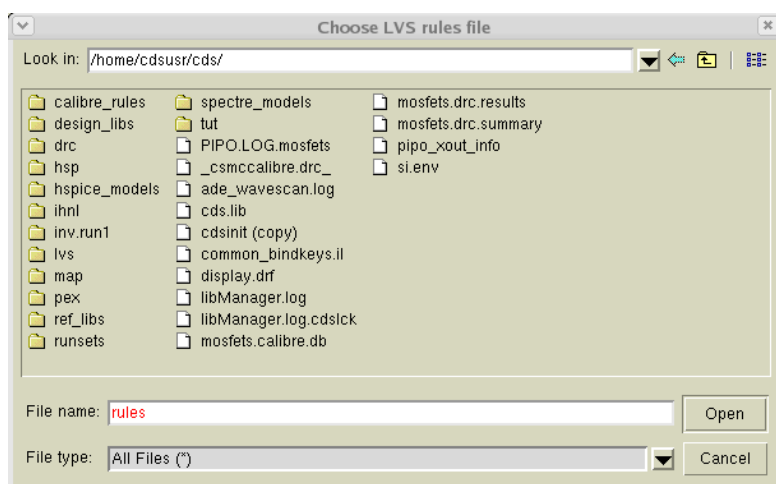


图 5-24 寻找 lvs 规则文件

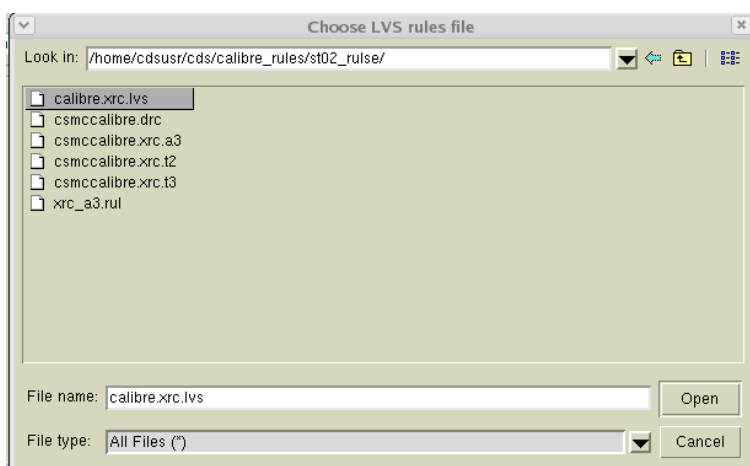


图 5-25 选中 lvs 规则文件

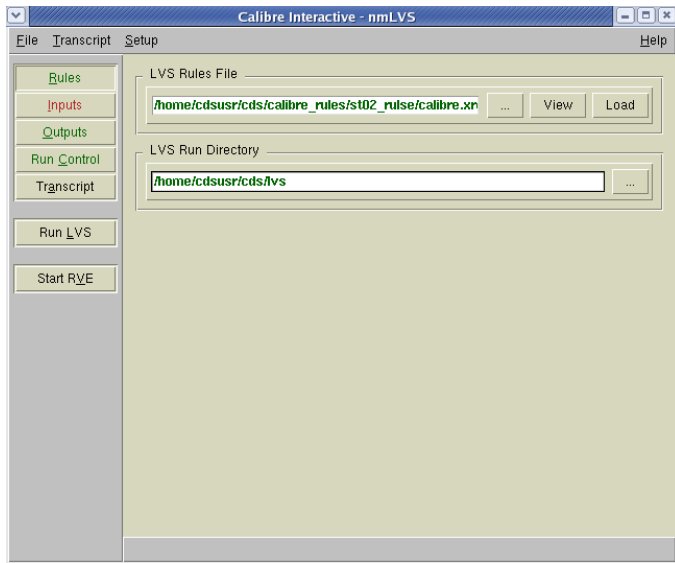


图 5-26 选择运行目录

规则文件加载后，还要选择运行目录，在 LVS Run Directory 下方的窗口中的“/home/cdsusr/cds/”后面填写“lvs”，最后应如图 5-26。

然后在 Calibre Interactive 窗口点“inputs”按钮，并在“Layout”、“Netlist”、“H-Cells”三个并排的按钮中点“Layout”（见图 5-27），选择需要比对的版图。将“Export from layout viewer”选中即可，软件将根据版图视图自动提取 GDSII 格式的文件。

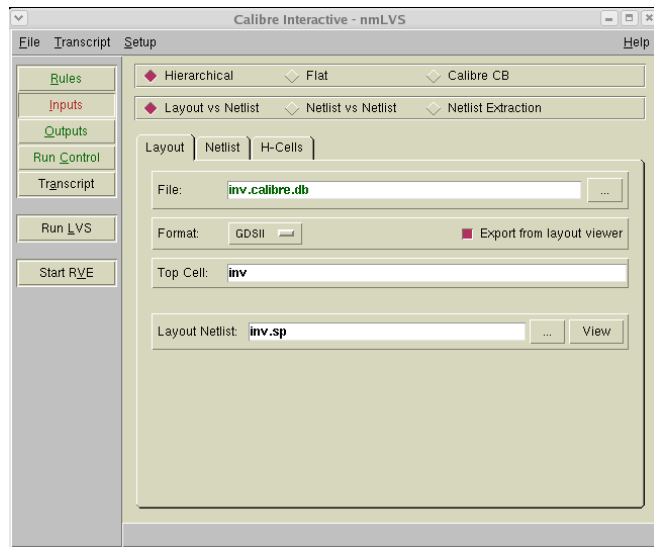


图 5-27 选择版图输入文件

然后点“Netlist”选择原理图文件。如果原理图视图与版图视图在同一个 cell 下，选中“Export from schematic viewer”即可。

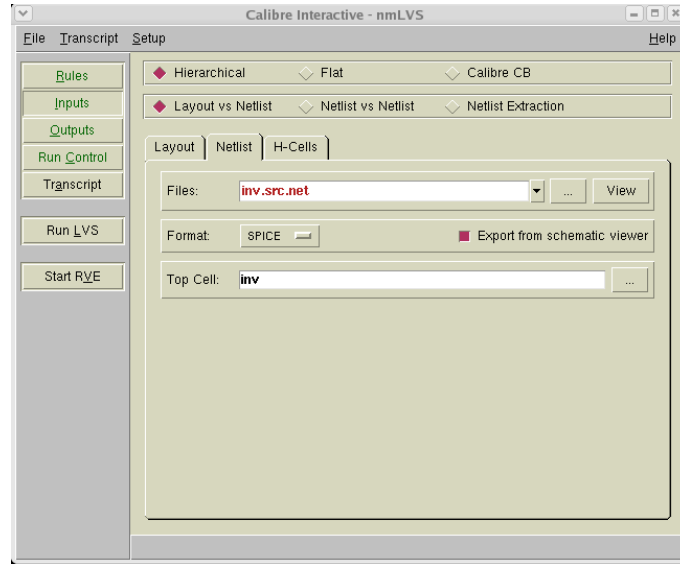


图 5-28 选择原理图输入文件

选择完输入文件后，点 Calibre Interactive 窗口中的 Run LVS 按钮就可启动 LVS 了。然后在弹出的窗口中一律点“yes”或“OK”，LVS 对比结束后就将出现图 5-29 所示窗口。如果版图与原理图一致，该窗口中将出现“笑脸”，如不一致，会给出错误提示。

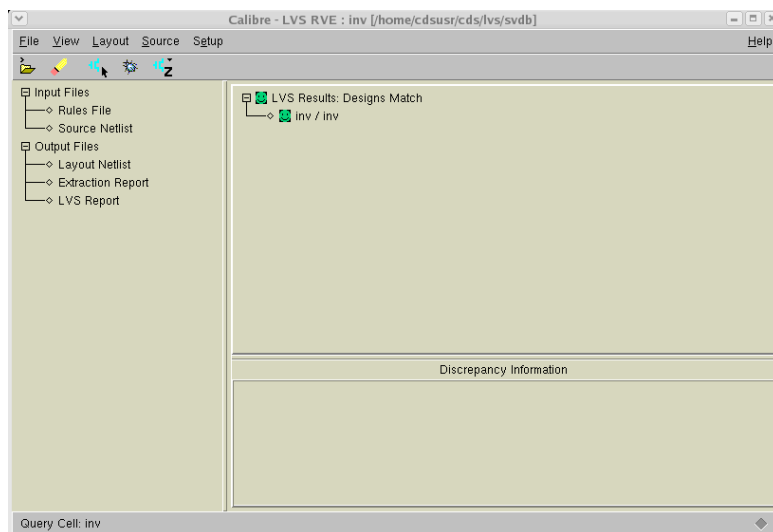


图 6-28 LVS 正确时的结果

退出 Calibre 时，系统将提示是否保存 Run Set，自己给 Run Set 起个名，保存到/home/cdsusr/cds/run\_set/中，下次使用时直接加载 Run Set 即可运行 LVS。反相器版图整体设计结束后，还要运行一次 DRC，如果除金属面积问题外没有其它 DRC 错误，LVS 通过，就证明版图设计是正确的。

## 第 6 章 提取寄生参数和后仿真

### 6.1 引言

通过了 DRC 和 LVS 只能证明版图设计的正确性，但不能保证版图的质量。在绘制版图时，在实现原理图中的器件和连接的同时，还会生成一些原理图中没有的器件，这种器件称为寄生器件或寄生参数。常见的寄生器件包括寄生电容、电阻和电感，有时也会出现寄生的二极管和三极管等复杂器件。寄生器件是原始设计中没有的，寄生器件的存在可能对电路的性能产生一定的影响，严重时甚至导致功能错误。完整的设计流程应该包括寄生参数提取和后仿真，所谓**后仿真就是对提取出的包含寄生器件的电路网表进行仿真**，其结果应更接近流片后的情况。

在我们的设计流程中，使用 Calibre xRC 提取寄生参数，并生成 Hspice 格式的文件。由于目前的 Cadence 环境还不支持在图形界面直接对 Calibre xRC 生成的文件进行仿真，我们使用 Windows 版本的 Hspice 来完成仿真。

### 6.2 提取寄生参数

寄生参数要从版图中提取，因此首先需要进入 Cadence，并打开版图视图。

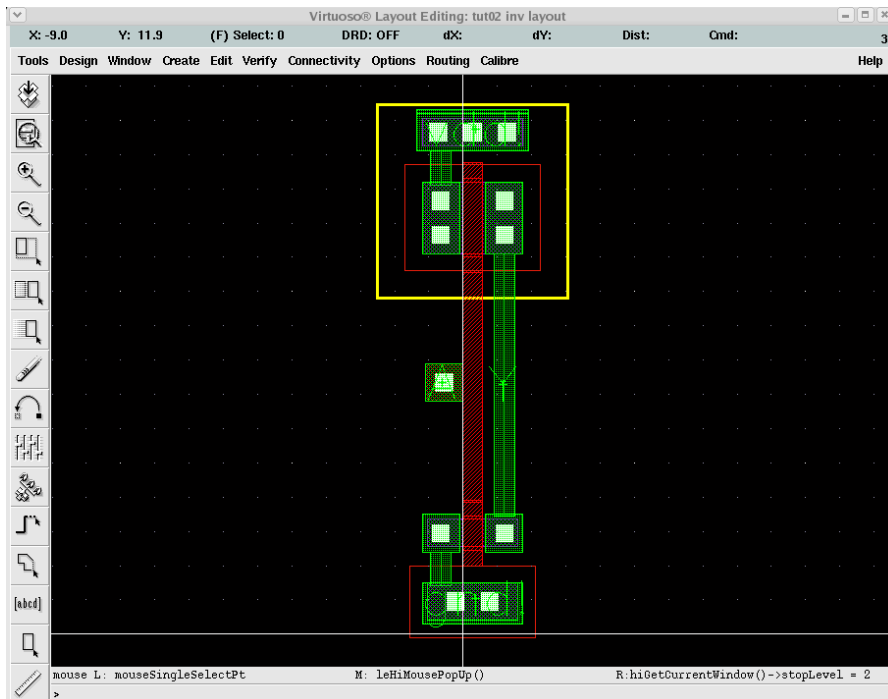


图 6-1 反相器版图

反相器的版图如图 6-1，在版图编辑窗口中，选择 Calibre→Run PEX 启动 Calibre 的寄生参数提取工具，执行后将出现图 6-2 所示的窗口。

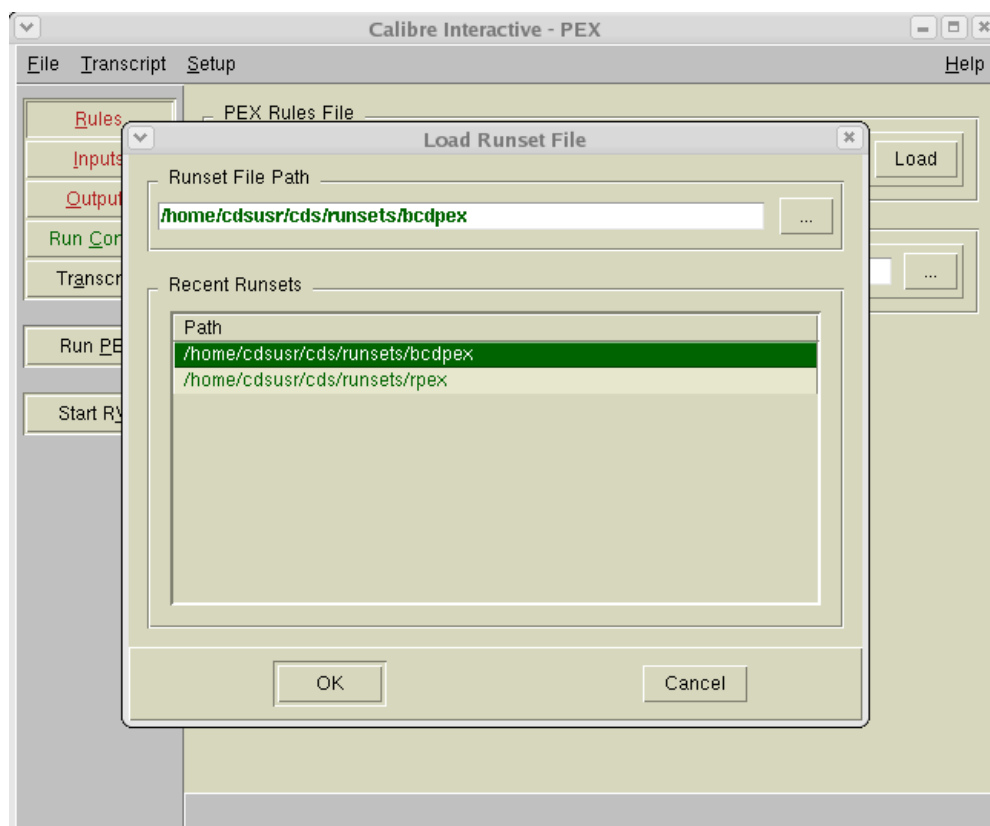


图 6-2 启动 Calibre xRC

如果以前作过提取并保存了设置，直接加载 Run Set 即可，这里假设是首次进行该操作。点击“Cancel”关闭 Load Run Set File 的窗口。以下操作与做 RDC 和 LVS 时十分相似。

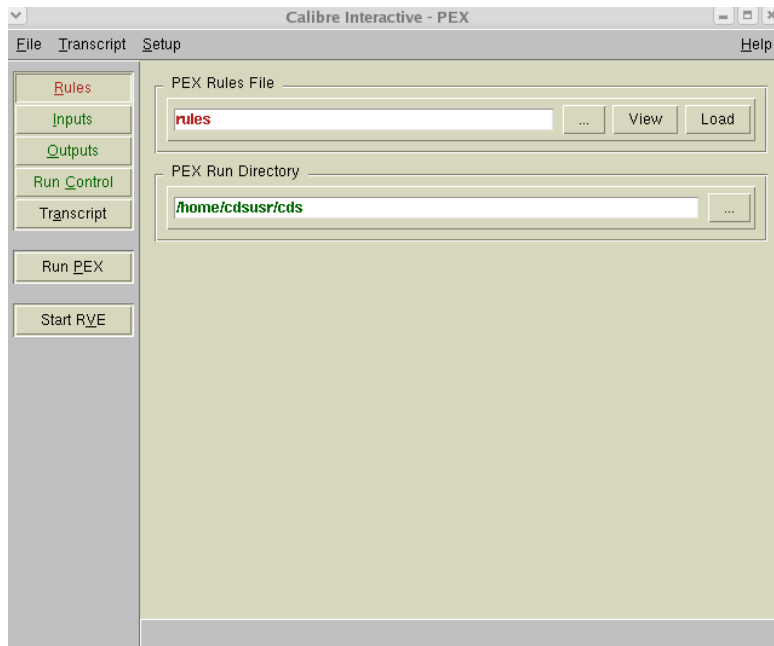


图 6-3 设置规则文件

接下来是选择提取规则文件，参数提取规则存放在“/home/cdsusr/cds/caliber\_rules/st02\_rules”下，点击图 6-3 “PEX Rules File”下的“...”，再逐级打开子目录，最后可看到图 6-4。

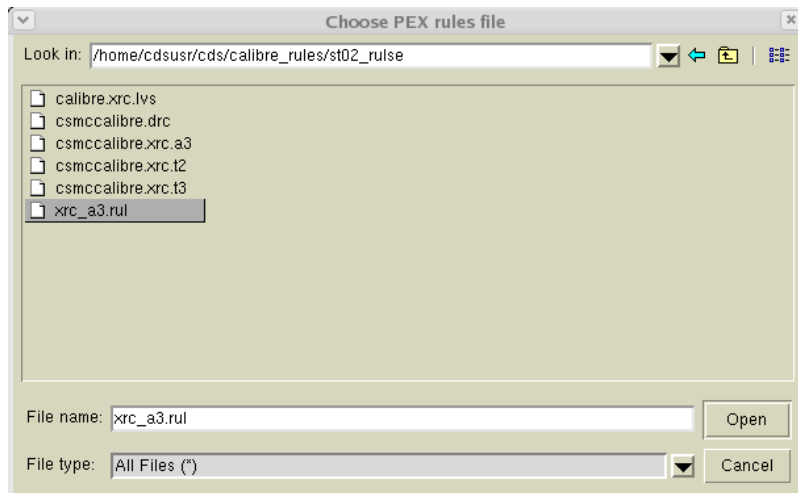


图 6-4 指定规则文件

在图 6-4 中选择“xrc\_a3.rul”，再点“Open”，即可加载规则文件。

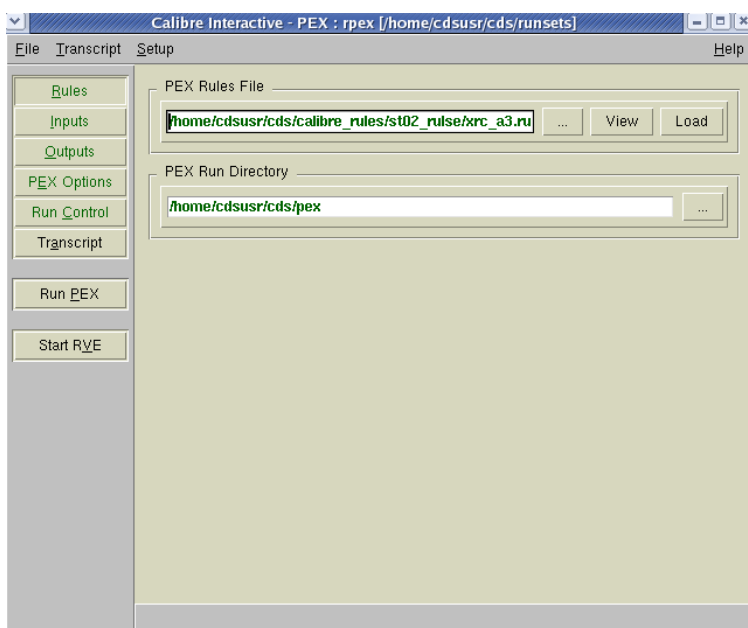


图 6-5 修改运行目录

选择规则文件后，一定要指定运行目录，应在默认的“/home/cdsusr/cds/”后面再填上 pex，见图 6-5。最后，在图 6-5 所示状态下，按“inputs”进入选择输入文件的环节。

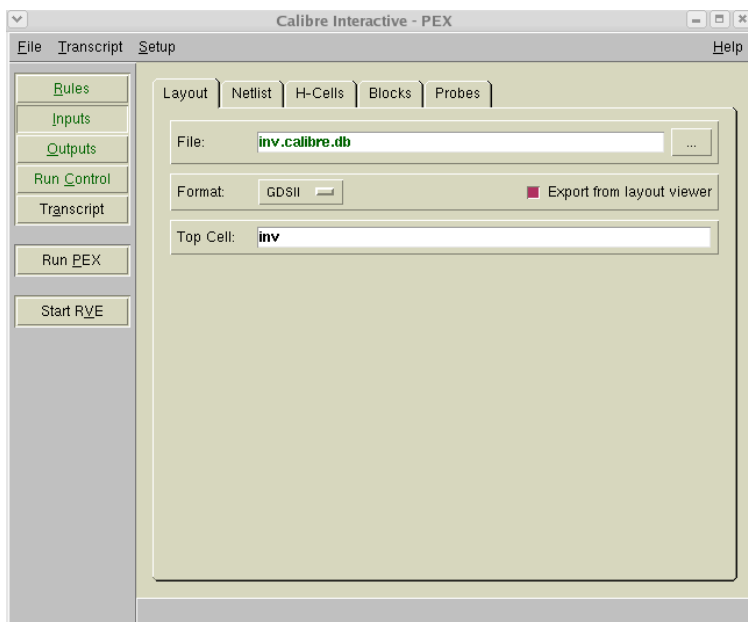


图 6-6 设置版图输入

按下“inputs”后需要检查“Layout”和“Netlist”下的设置。图 6-6 是 Layout 按下时应选择的设置。“Format”应选“GDSII”，“Export from ”前的小方块必

须选中。然后检查 Netlist 下的设置，应如图 6-7。做 PEX 时，Calibre 将自动进行一次 LVS，因此版图和原理图文件都要指定，以上选择都是要软件从版图视图和原理图视图中自动提取，在一个 cell 中，这两种视图必须都存在才能提取寄生参数。

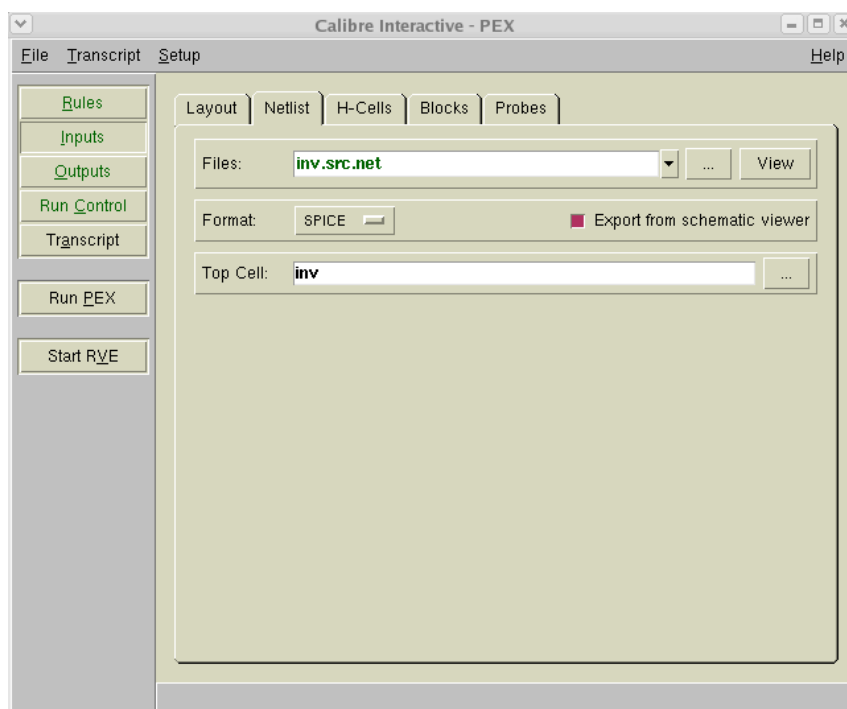


图 6-7 设置原理图输入

“H-Cells”，“Blocks”和“Probes”下的内容设置与当前操作无关，不必检查。按下“Outputs”按钮检查对输出文件的设置。

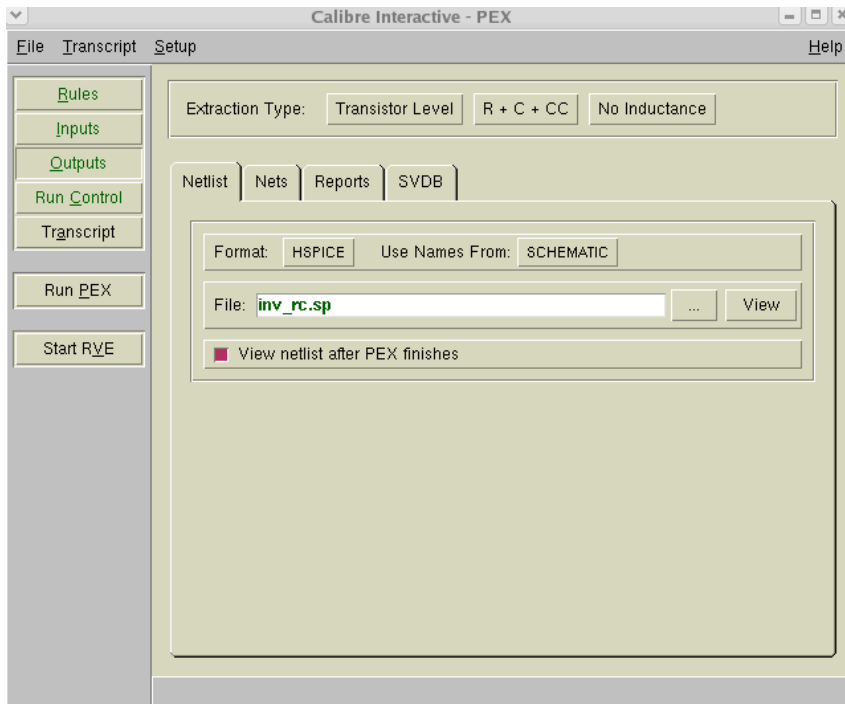


图 6-8 修改输出文件名

在“Outputs”按下的状态，“Netlist”，“Nets”等都要检查。Netlist 下的 File 名要修改为\*.sp，例如 inv\_rc.sp，因为该文件需要拷贝到 Windows 环境下，扩展名必须为 sp。Format 必须为 HSPICE，Use Name From 后要选 SCHEMATIC，意思是使用原理图中的器件名。按图 6-8 核对无误后，点“Nets”进入下一项设置检查。

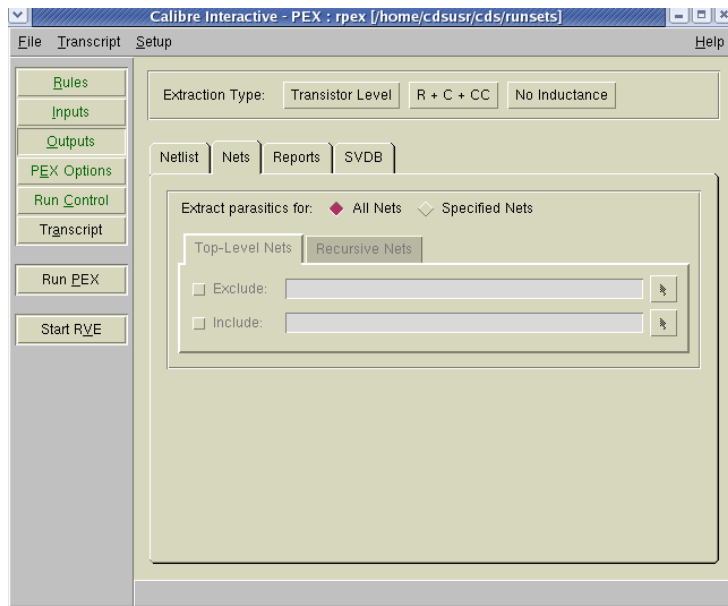


图 6-9 选择提取网络

检查 Nets 下的设置，Extract parasitics for: 后必须是 All Nets，意思是提取所有网络的寄生参数。

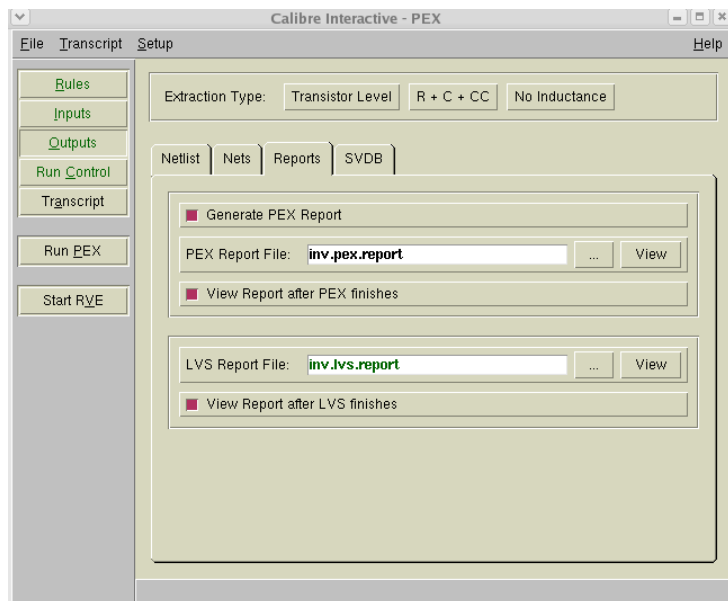


图 6-10 生成报告

Report 下的设置应如图 6-10，这种选择的意思是让 Calibre 在完成提取后生成报告。

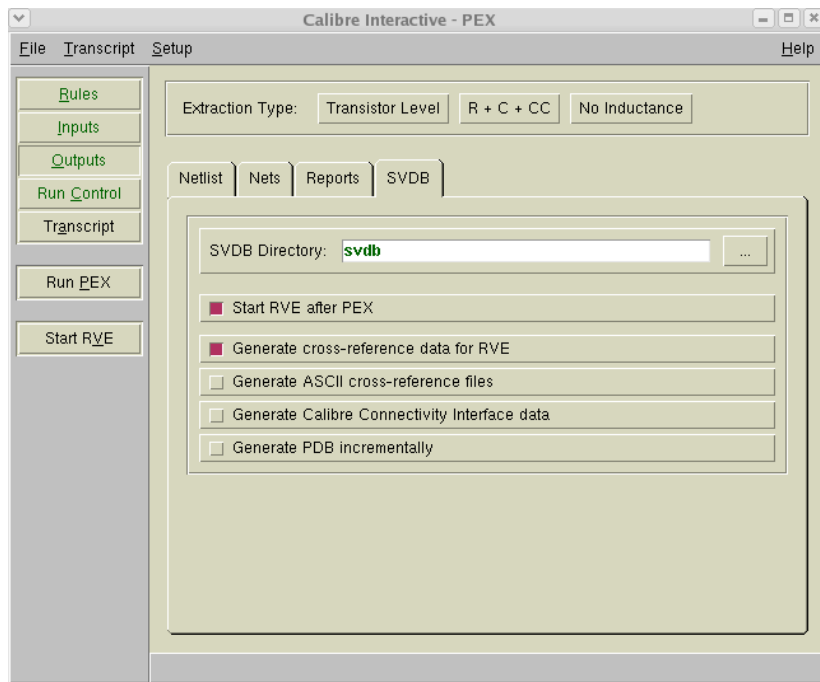


图 6-11 SVDB 设置

SVDB 下的设置应如图 6-11,意思是让 Calibre 完成提取后自动回到 Cadence 环境。

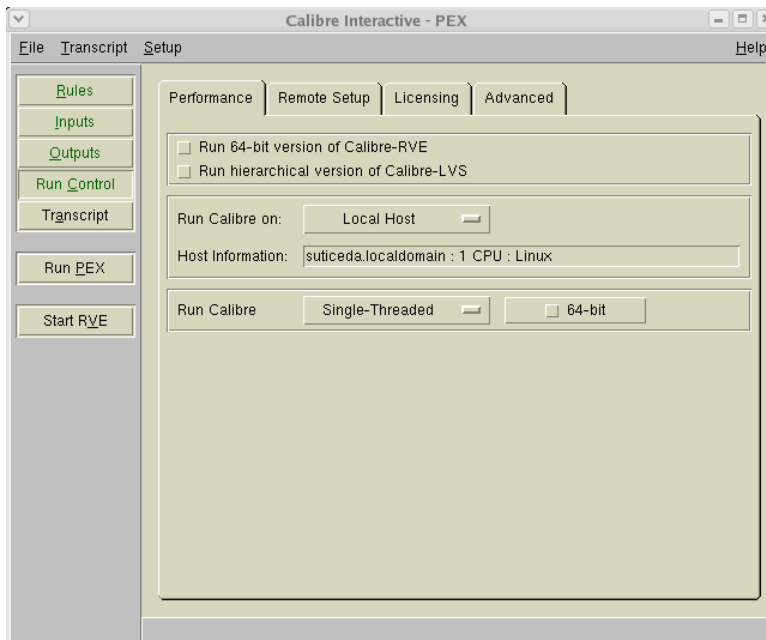


图 6-12 运行方式设置

按下 Run Control 后设置应如图 6-12。应取消默认的“Run Hierarchical version of Calibre-LVS ”（运行层次化版本 LVS）。

完成以上检查工作就可以运行提取操作了，如果运行成功，一定要在退出时保存一个 Run Set，下次使用时，直接调用 Run Set 即可。

点 Interactive 窗口上的 Run PEX 启动提取，在接下来出现的询问窗口一律点“Yes”或“OK”，运行结果应出现图 6-13 和图 6-14 所示窗口。

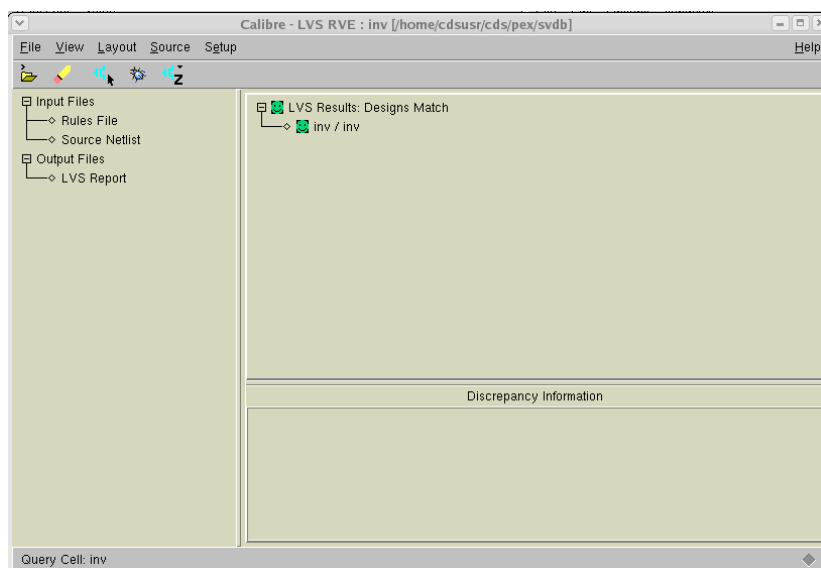


图 6-13 LVS 报告

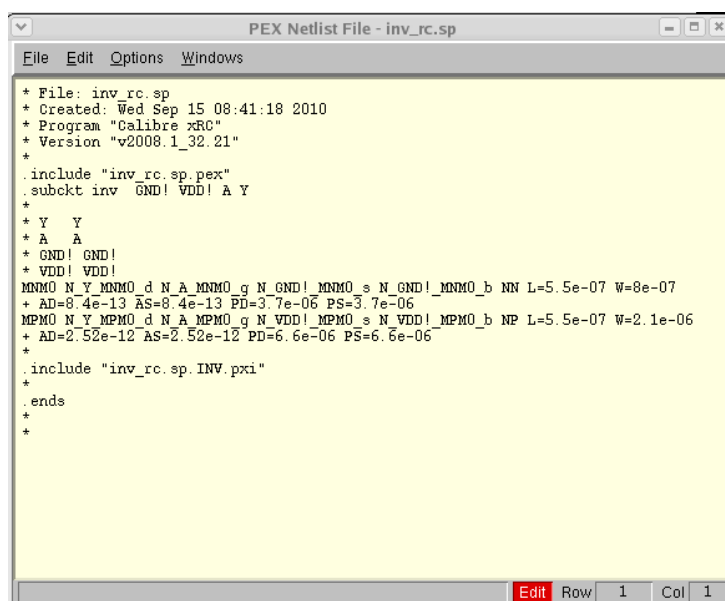


图 6-14 输出 SPICE 文件

由于运行 PEX 时自动进行了一次 LVS 操作，故应出现图 6-13。图 6-14 则是提取出的包含寄生参数的文件，其中模型名“NN”和“NP”是不对的，以后仿真时需要修改。寄生的器件实际上在“inv\_rc.sp.pex”和“inv\_rc.sp.INV.pxi”中，这两个文件需要自己用文本编辑器打开才能看到内容。

Calibre xRC 生成的 Hspice 格式的文件，目前还不能直接在 Cadence 环境下仿真。在当前流程中，我们使用 Windows 环境下的 Hspice 进行后仿真。为便于对比仿真结果，还需要不含寄生参数的 Hspice 格式的网表文件，较好的方法是从仿真原理图中生成。

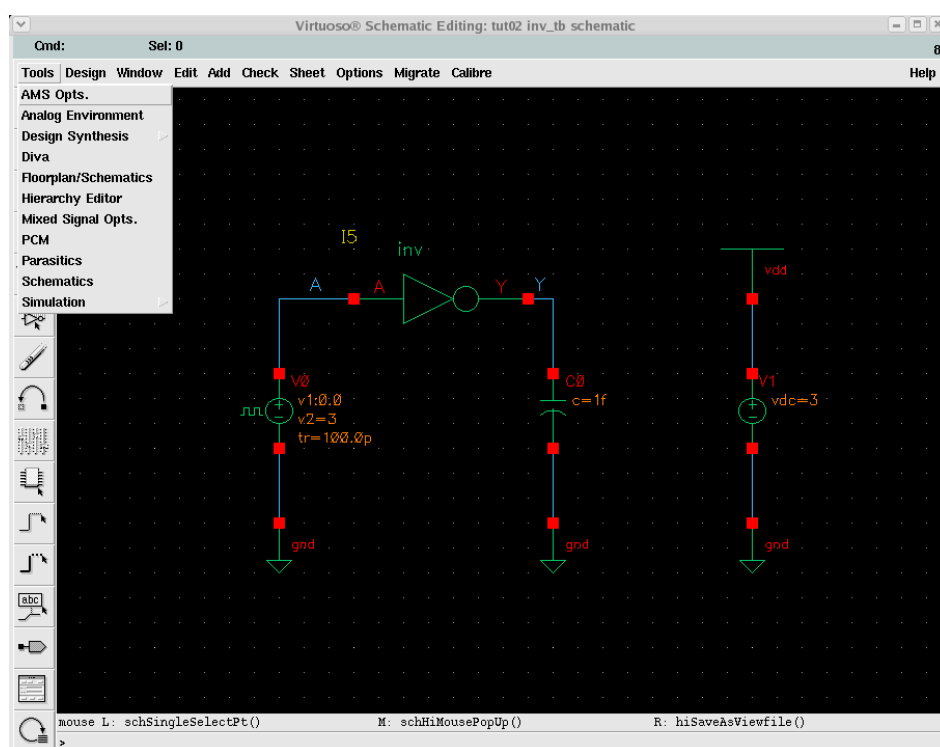


图 6-15 仿真原理图

从仿真原理图（见图 6-15）进入 Cadence 模拟设计环境，然后选 HSPICE 为仿真工具。用 Simulate→Netlist 操作（见图 6-16）直接生成网表。

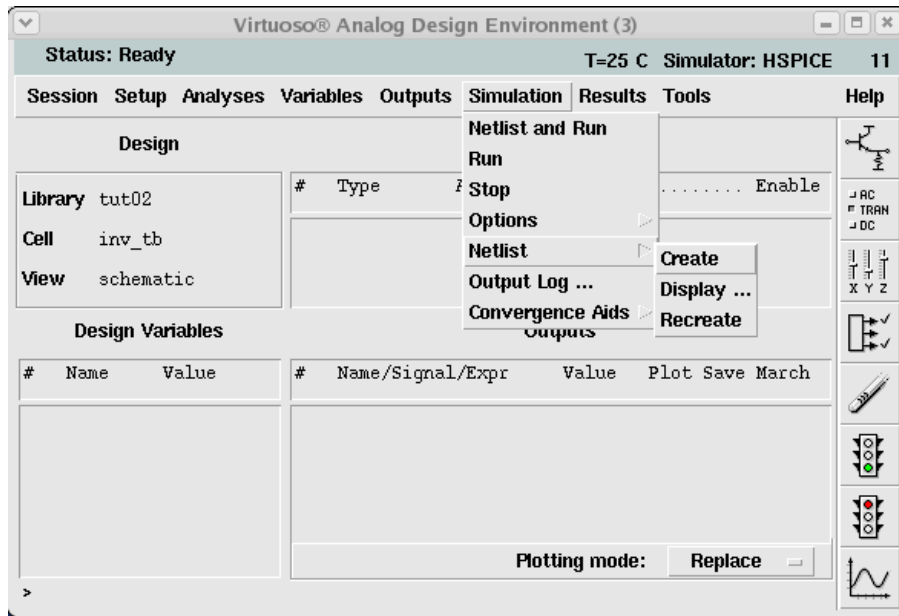


图 6-16 生成一个 HSPICE 格式的网表

出现图 6-17 所示的 Hspice 格式文件后，保存到一个.sp 文件中。



图 6-17 Hspice 文件

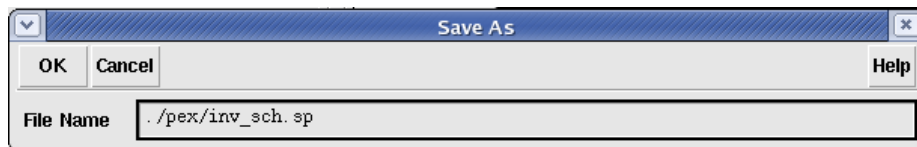


图 6-18 保存文件（修改文件名）

以上文件还不能直接用于仿真，某些内容需要修改。以后的工作将在 Windows 环境下进行，修改文件使用文本编辑器，如 UltraEdit。

### 6.3 后仿真

从 Calibre xRC 生成的文件中可以得到一个含寄生参数的子电路，可将其命名为 inv\_rc，文件中的模型名需要根据实际模型名修改。

```
* File: inv_rc.sp
* Created: Wed Sep 15 12:15:41 2010
* Program "Calibre xRC"
* Version "v2008.1_32.21"
*
.include "inv_rc.sp.pex"
.subckt inv_rc VDD! GND! A Y
*
* Y Y
* A A
* GND! GND!
* VDD! VDD!

MNM0 N_Y_MNM0_d N_A_MNM0_g N_GND!_MNM0_s N_GND!_MNM0_b
+ mn L=5.5e-07 W=8e-07
+ AD=8.4e-13 AS=8.4e-13 PD=3.7e-06 PS=3.7e-06

MPM0 N_Y_MPM0_d N_A_MPM0_g N_VDD!_MPM0_s N_VDD!_MPM0_b
+ mp L=5.5e-07 W=2.1e-06
+ AD=2.52e-12 AS=2.52e-12 PD=6.6e-06 PS=6.6e-06
*
.include "inv_rc.sp.INV.pxi"
*
.ends
*
*
```

将从仿真原理图得到的 spice 文件中子电路以外部分删掉，并将子电路名改为 inv\_sch。

```
* Library name: tut02
* Cell name: inv
* View name: schematic
.subckt inv_sch a y
mpm0 y a vdd! vdd! mp
+L=550e-9 W=2.1e-6 AD=2.52e-12 AS=2.52e-12 PD=6.6e-6 PS=6.6e-6 M=1
mnm0 y a 0 0 mn
+L=550e-9 W=800e-9 AD=840e-15 AS=840e-15 PD=3.7e-6 PS=3.7e-6 M=1
.ends
```

最后，自己编写一个仿真文件，给两种子电路加上同样的信号，观察其输出的区别。注意，以上所有文件应保存在同一个目录中，并用.OPTION search 语句指定该目录。

```
*-----
.option search = "e:/inv"
.lib "h05mixdtssa01v11.lib" tt
.global 0 vdd!
*-----
.inc "inv_rc.sp"
.inc "inv_sch.sp"
*-----
x0 vdd! 0 a y_rc inv_rc
x1 a y_sch inv_sch
v1 vdd! 0 3
c1 y_rc 0 1f
c2 y_sch 0 1f
v2 a 0 pulse 0 3 0.1n 0.02n 0.02n 0.5n 1n
.tran 0.1p 1.5n
.end
```

在 Windows 下启动 Hspice，如图 6-19，可得到图 6-20 所示的仿真结果。

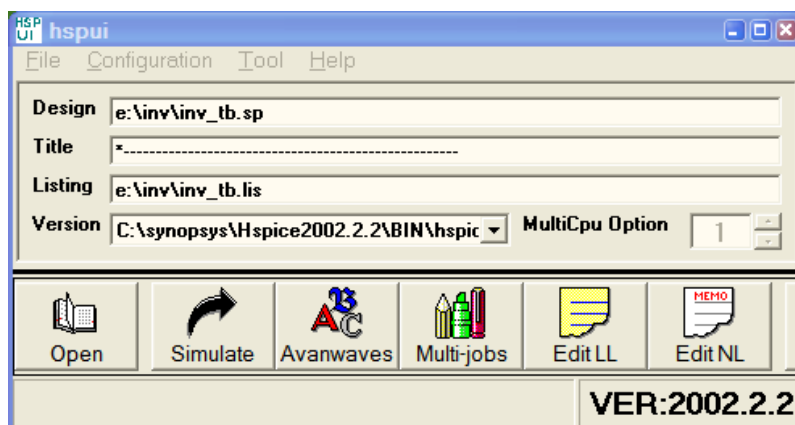


图 6-19 Hspice 启动窗口

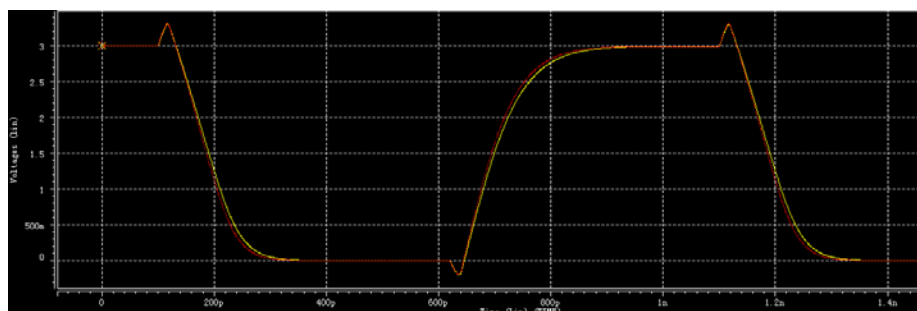


图 6-17 输出波形

从图 6-17 来看，后仿真结果与前仿真差别不大，但这不说明后仿真没有必要。该电路是  $0.5 \mu\text{m}$  工艺的简单逻辑门，寄生参数的影响相对较小。如果特征尺寸小，电路结构复杂，寄生参数就可能有较大的影响。

## 第 7 章 层次化设计

### 7.1 引言

Cadence 设计环境的优势是支持层次化设计，能够实现较大规模的数字、模拟或混合信号电路。全定制设计一般采用至底向上的设计方法，即首先完成基本单元电路的设计，再利用设计好的基本单元电路实现更复杂的单元电路，直到完成整个电路的设计。Cadence DFII 环境功能很强，在反相器设计中只涉及了部分功能的使用问题，深入学习需要更复杂的设计实例。本章以一个振荡器电路为例介绍层次化设计的概念和方法。

### 7.2 振荡器原理图

振荡器电路如图 7-1 所示，图中的反相器的工艺和参数与前几章中以完成的设计相同。在层次化设计的概念中，已完成设计流程的反相器就是底层的单元电路，本章介绍的振荡器是高一个层次的功能模块，其原理图和符号视图和版图视图等也要建立在反相器所在的库中。本章只介绍设计步骤和新出现的软件操作问题，基本操作参见 2—6 章。

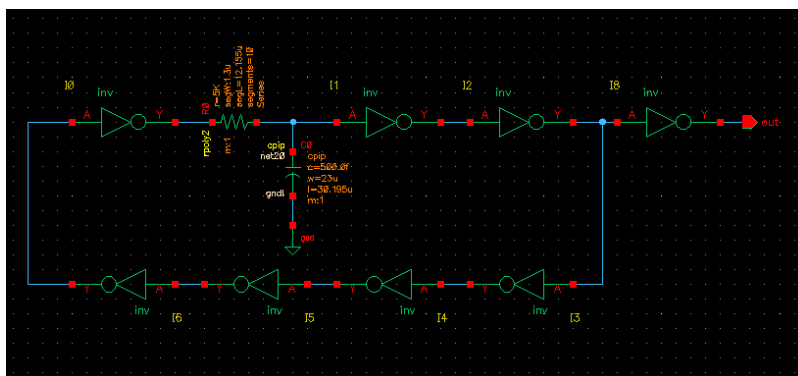


图 7-1 振荡器原理图

#### (1) 建立原理图视图

在 TUTX（反相器所在的库）库中建立一个原理图类型的视图，命名为 osc，软件使用方法参见第 3 章。

#### (2) 绘制原理图

图中的反相器“调用”当前库中的 inv（其原理图、符号视图必须已存在），

电阻使用 st02 库中的 rpoly2  
(见图 7-2),这是用第 2 层多晶实现的电阻。

电容选择 st02 中的 pip  
(见图 7-3),这是用两层多晶实现的电阻。

注意,在设计视图图中不能使用 Analog 库中的抽象电阻和电容,因为这些电阻和电容是集成电路内部的,也要通过版图实现。

### (3) 修改器件参数

选中电阻,点属性图标会出现属性窗口(见图 7-4)。电阻的阻值是由方块数决定的,方块数又取决于宽度和长度。现在的问题是电阻值已知, st02 中的每段电阻的宽度是固定的,因此应将长度设为“计算参数”(Calculate Parameter)。这时阻值可输入,串联的段数自己设(可先任意设,到版图设计时再修改),软件将自动给出长度。

电容参数修改方法与电阻类似,见图 7-5,这里将“计算参数”设宽度,输入容值和长度。目前只要保证容量正确即可,宽度和长度需要在版图设计阶段最后确定。

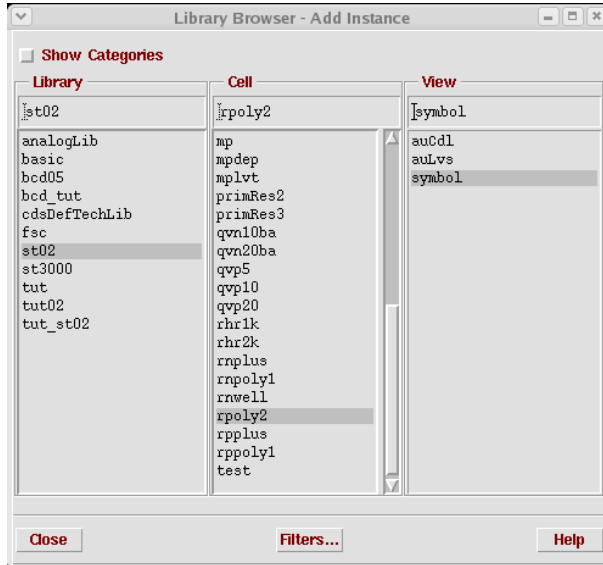


图 7-2 选择电阻类型

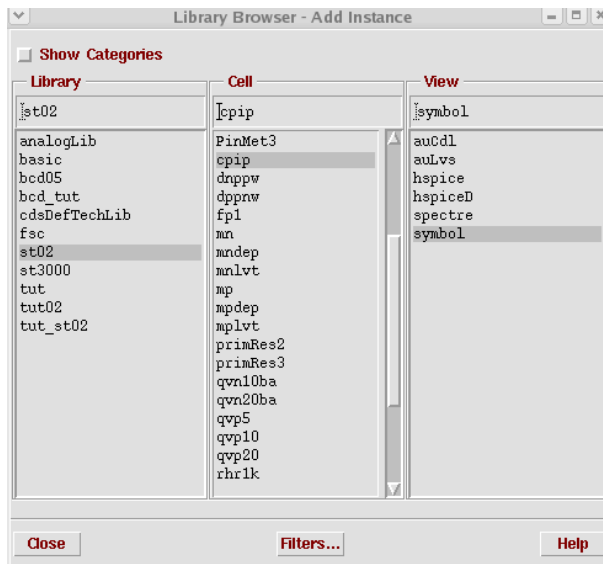


图 7-3 选择电容类型

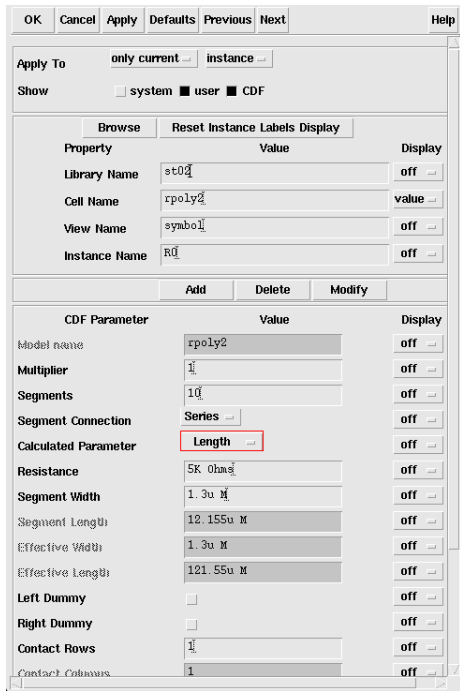


图 7-4 电阻属性

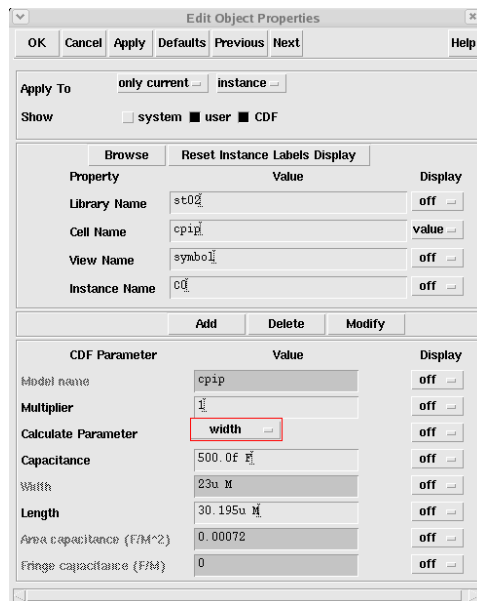


图 7-5 电容属性

#### (4) 生成符号视图

按要求画好原理图后生成符号视图，具体操作参见第 3 章。因不是标准逻辑门，符号使徒没必要修改，调整一下名称的位置即可，见图 7-6。



图 7-6 符号视图

#### (5) 仿真验证

另外建一个原理图类型的视图，命名为 osc\_tb，见图 7-7。振荡器的仿真没有外加激励信号，有时不能起振，较好的方法是用 PULSE 型信号源代替直流工作电源，但将周期设得长一些，使高电平时间超过仿真分析时间，并使延迟时间为非 0 值（见图 7-8），模拟电路上电过程，振荡器就能够起振了。

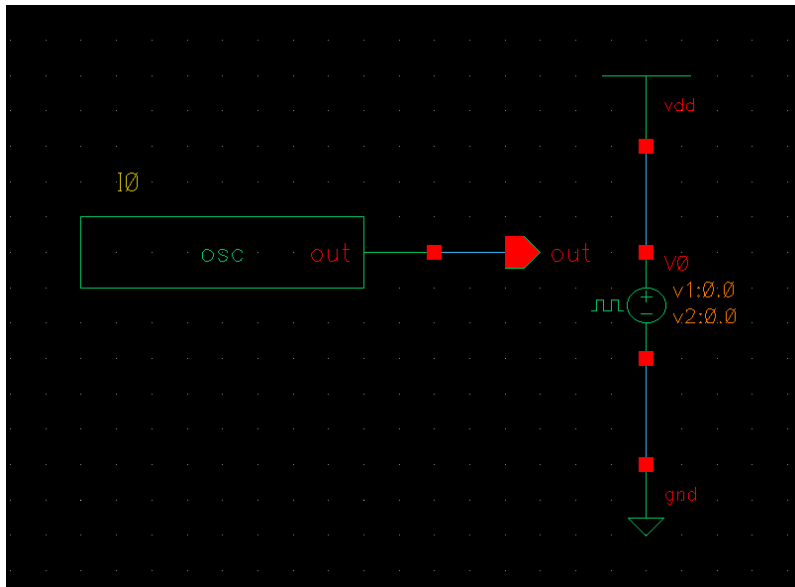


图 7-7 仿真原理图

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0.0 V	off
Voltage 2	3 V	off
Delay time	1n s	off
Rise time	100.0p s	off
Fall time	100.0p s	off
Pulse width	100n s	off
Period	200n s	off
Frequency name for 1/period		off
Noise file name		off

图 7-8 PULSE 参数

### (6) 仿真分析

基本方法与反相器的仿真相同，但由于使用了电阻和电容，在添加模型库时需要增加两个库入口 `capttypical` 和 `restypical`（见图 7-9）。

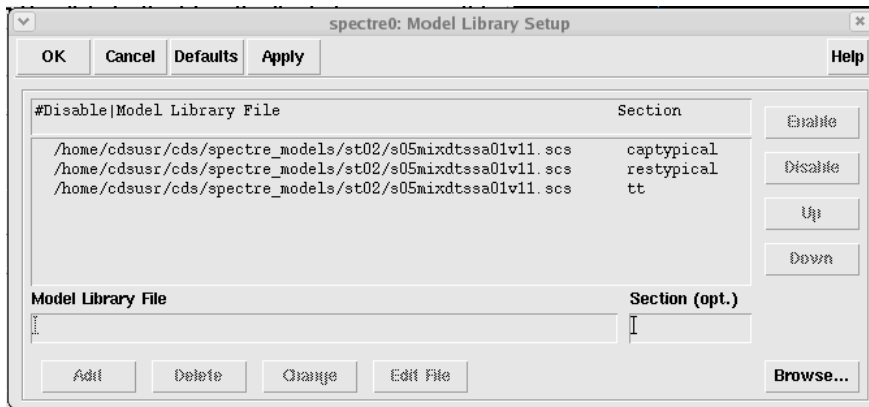


图 7-9 模型库和入口

以下运行瞬态分析，仿真时间设为 100ns，可得到图 7-10。由于仿真时间较短，在这段时间内 vdd 上跳后保持为 3V，相当于直流电源上电的过程。

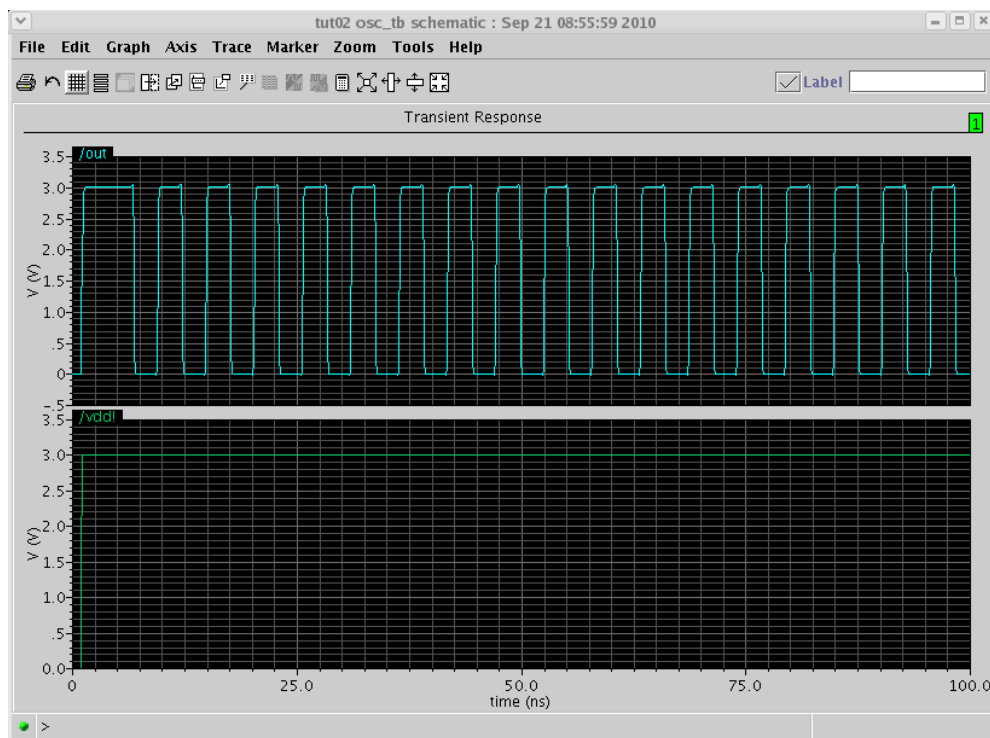


图 7-10 仿真结果

### (7) 保存仿真设置

由于仿真设置过程较烦琐,为避免每次都重新设置,可将当前设置保存起来。在关闭 Analog 设计环境窗口时,软件会给出以下提示(见图 7-11)。

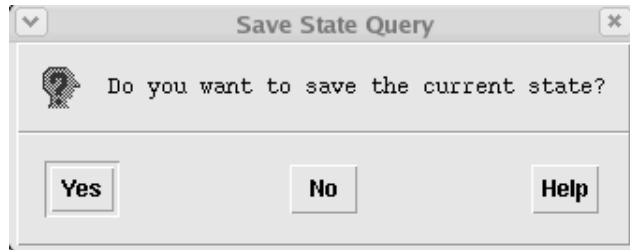


图 7-12 询问窗口

点 Yes 将出现图 7-13。将其中的 state1 改为便于记忆的名字,如 osc\_state1,然后点 OK。

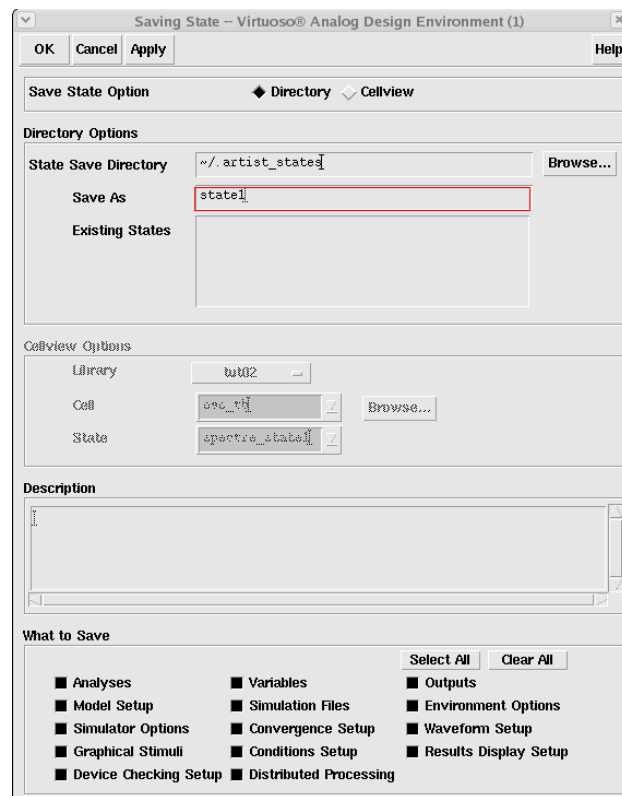


图 7-13 修改 state 名

下一次进入模拟设计环境时,点 section→load,将出现图 7-14,选择保存的文件,再点 OK 即可恢复原来的设置。

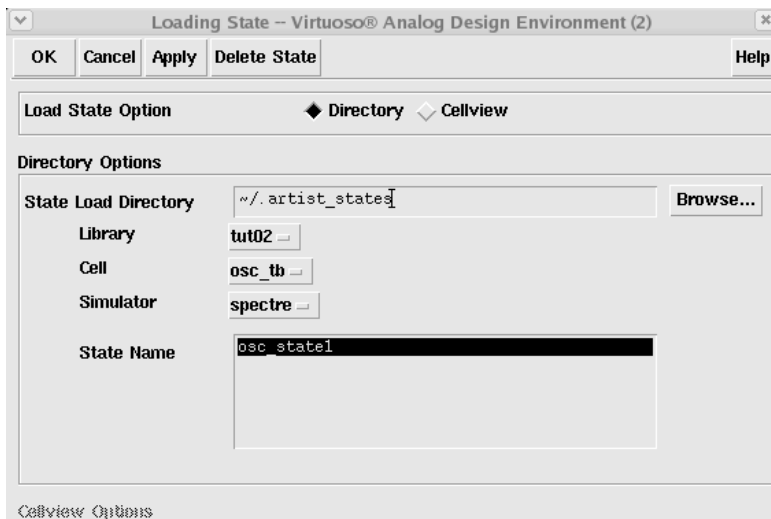


图 7-14 加载仿真设置

### (7) 版图设计

在 osc 下建立一个版图类型的视图，已完成版图设计的反相器可以作为一个器件调用。操作命令为 **Create**→**Instance**，然后在弹出的窗口中寻找，见图 7-15。

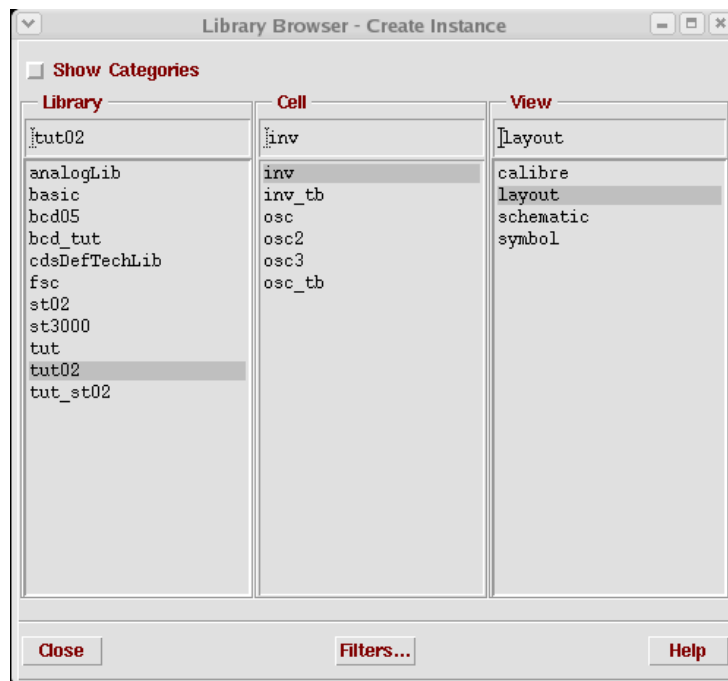


图 7-15 调用 inv

首先连续放置 4 个反相器，尽可能紧凑地排列，阱区可以合并，但 P+注入区需间隔  $0.8\mu\text{m}$ ，然后用 M1 层将 vdd 和 gnd 连接起来，如图 7-16。在这种情况下需要进行一次 DRC 检查，应确保不产生新的 DRC 错误（金属面积问题不考虑）。如果没有将所有 vdd 或 gnd 连接起来，将出现新的 DRC 错误，因为反相器内部的 pin 标号已不起作用，软件将理解为有多种衬底连接。

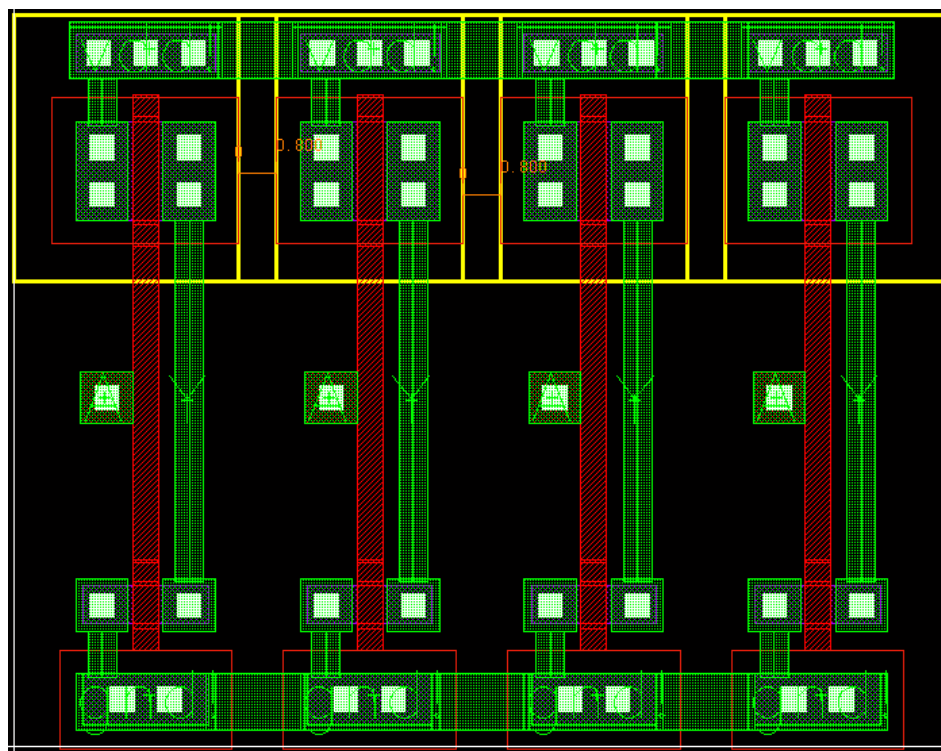


图 7-16 排列反相器

为尽可能减小面积，通常的做法是将另外 4 个反相器旋转 180 度后再放置，使 N 阱能够合并。旋转操作是在 Move 模式下点鼠标右键。

如果不需要加宽电源线，调整新添加的反相器位置，使阱接 vdd 的接触孔重合。电源线宽度需要根据电流大小和金属线长度确定，此电路电流很小，金属线也很短，原有金属线宽度已经够了。

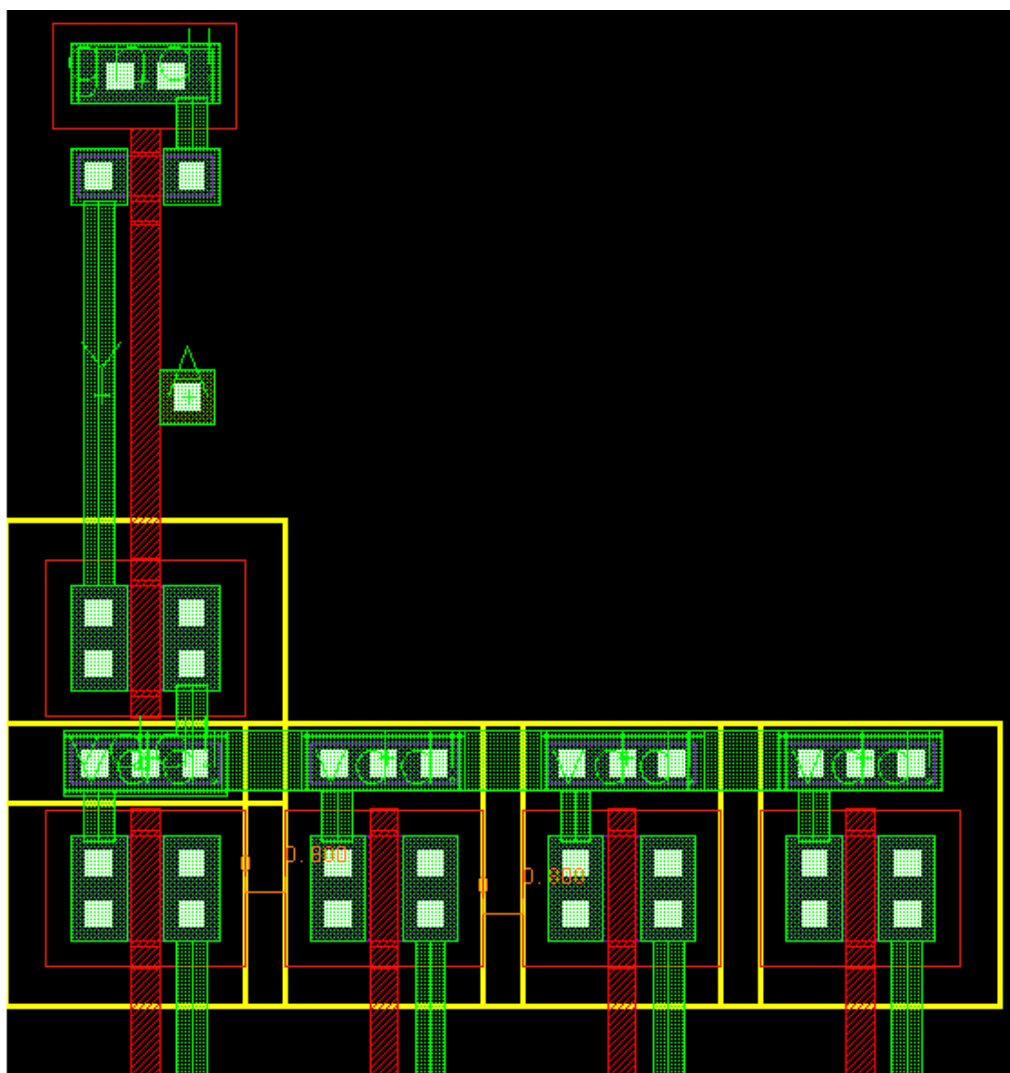


图 7-17 见小阱区面积的布局

调整好一个倒置的反相器后，可以用拷贝操作添加剩余的反相器，并将上下两行单元的 gnd 金属线连接起来（如图 7-18），再做一次 DRC，应没有新的 DRC 错误。为减小地线电阻，图 7-18 中将地线宽度扩展为  $2.4\mu\text{m}$ 。

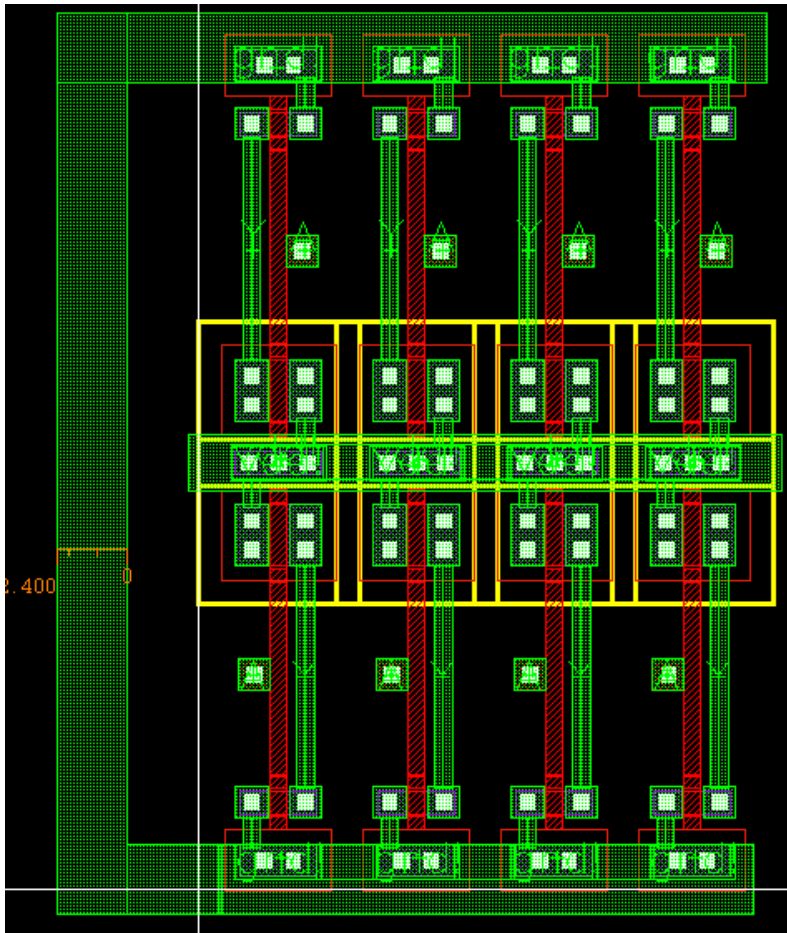


图 7-18 8 个反相器的布局

电阻需要到 st02 库中找，电阻类型必须与原理图一致，视图类型应为 layout（见图 7-19）。先使用默认参数调用，再根据原理图的阻值和版图需要调整串联的段数和每段的长度。

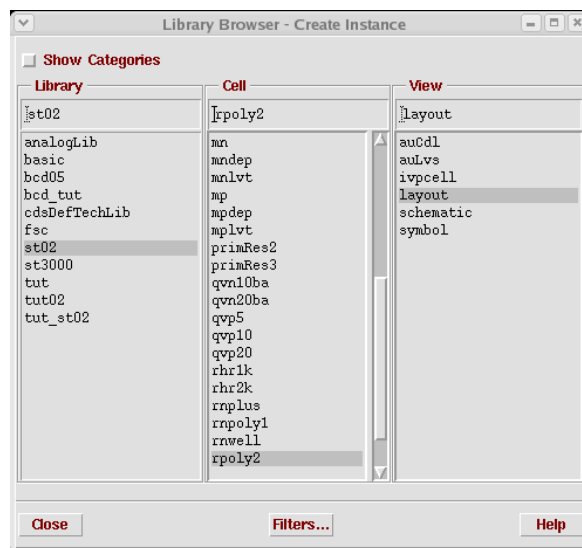


图 7-19 放置电阻

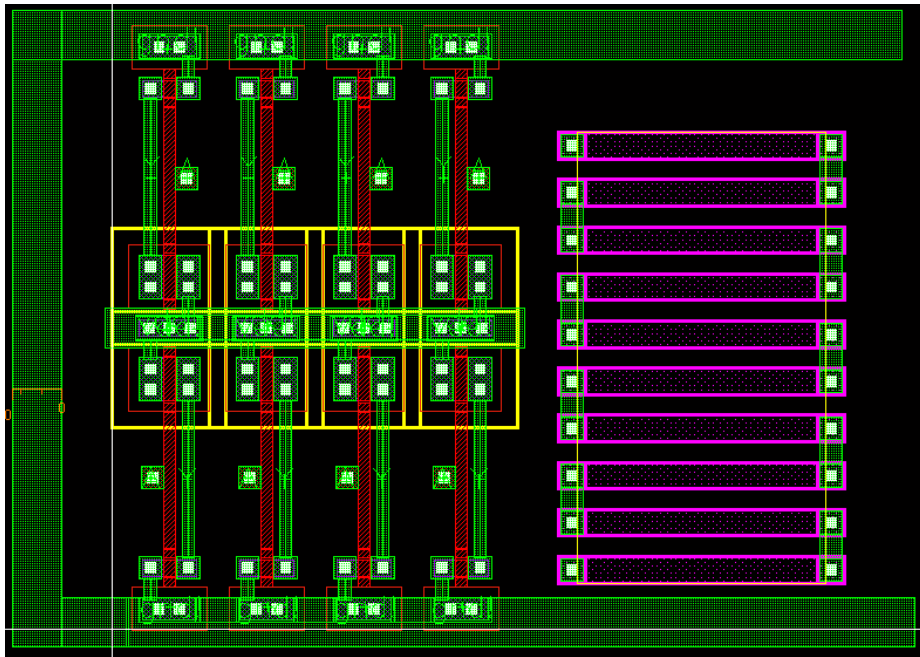
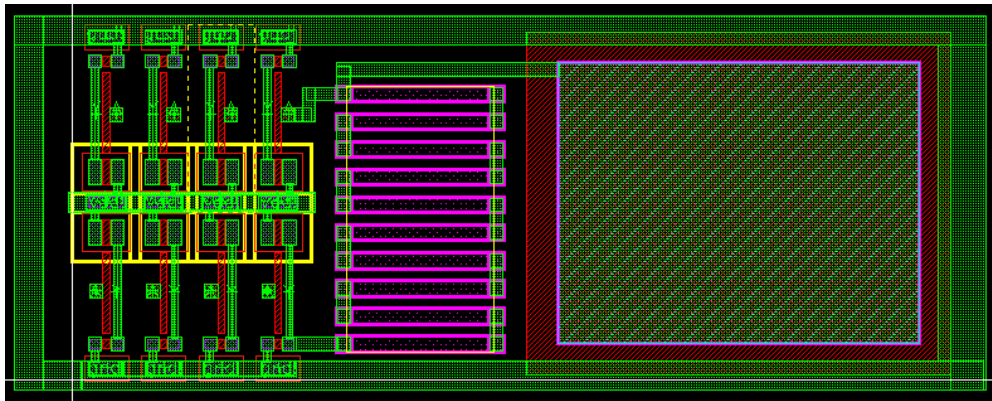


图 7-20 调整电阻结构

将长度设为计算参数，输入需要的阻值，调整段数使电阻面积合适（见图 7-20）。用类似的方法放置电容（见 7-21）。



7-21 整体布局

确定布局后就可按原理图连线了。在模块内部仍要尽量使用金属 1 层（1 铝）连接，金属 1 层走不通时再用金属 2 层（2 铝）。1 铝与 2 铝之间要使用通孔连接（st02 库中的 M1\_M2）。多晶也可以做短距离连接，但不能靠近有源区。完成连接的版图见图 7-22。

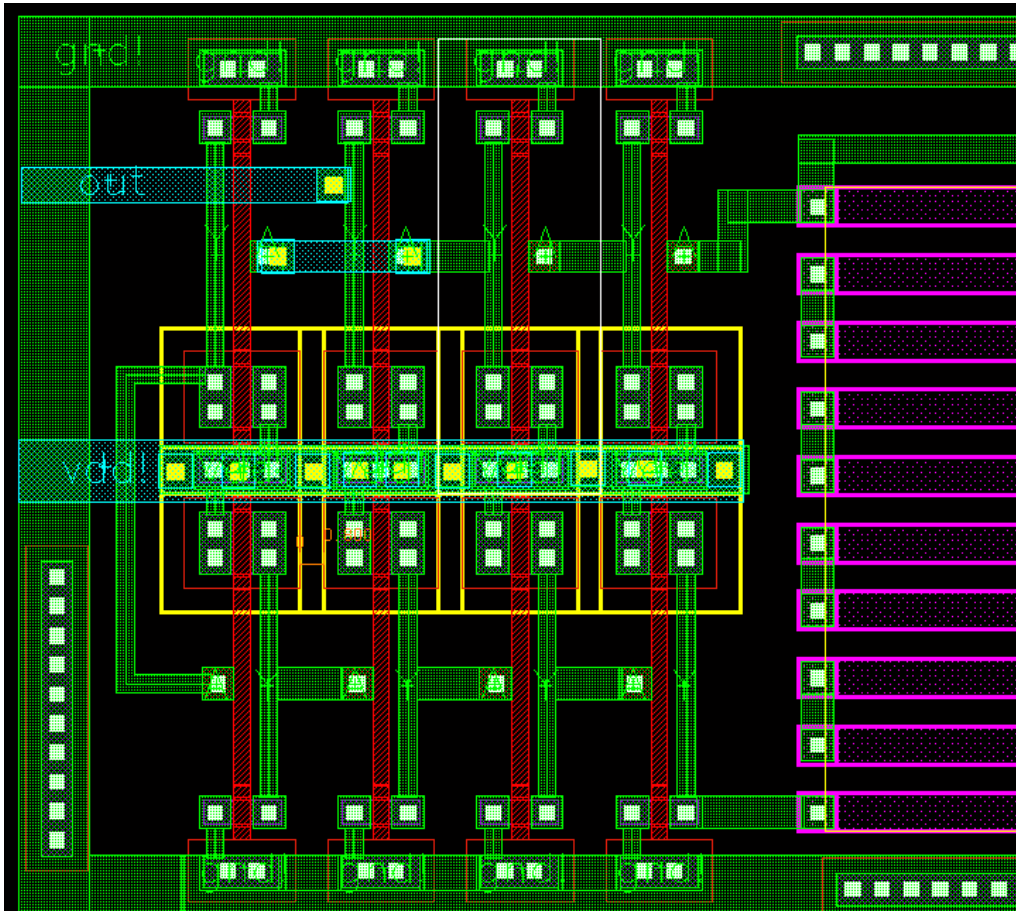


图 7-22 连接器件

vdd 和 out 需要用 2 铝引出，标注 PIN 时使用 M2 (TEXT) 层。封装在反相器内部的 PIN 标注不起作用，但有时为了方便连线可能需要将调用的器件 (cell) “展平”，使其内部可修改，操作方法为 Edit→H→Flatten，这时要将内部的 PIN 标注删除。

完成连接后还要尽可能多打地线和衬底的接触孔和 vdd 与阱的连接孔，减小接触电阻，避免 MOS 管体电位波动（见图 7-23）。

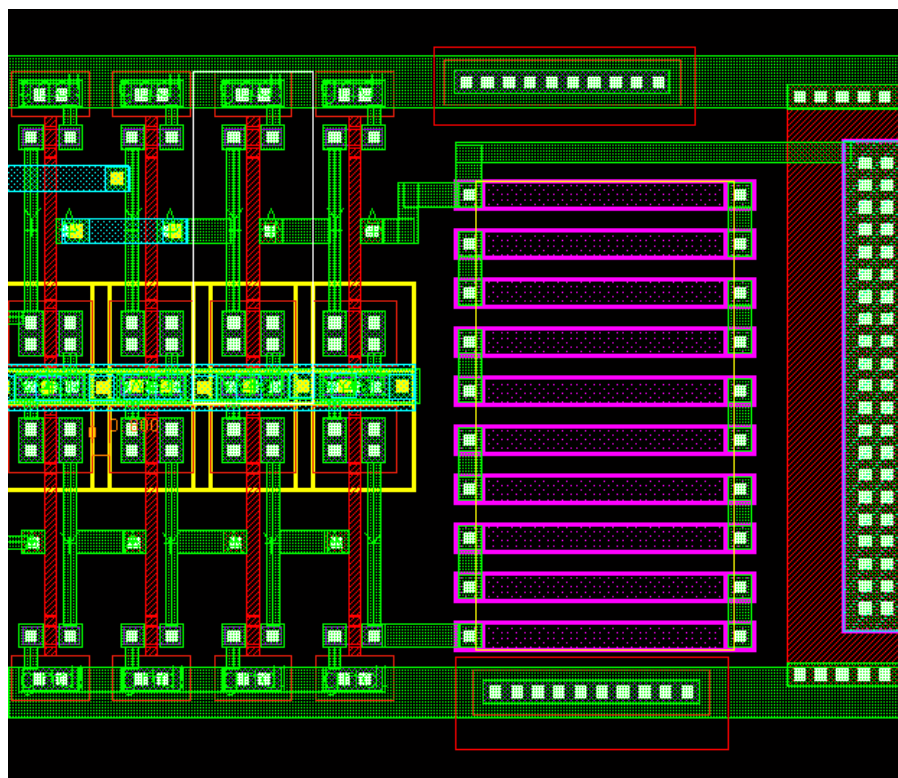


图 7-23 增加地线与衬底的连接孔

最后的版图见图 7-24。电路模块的版图最好呈矩形，所有需要引出的 PIN 需要画到模块边界处，便于在整体电路中使用。

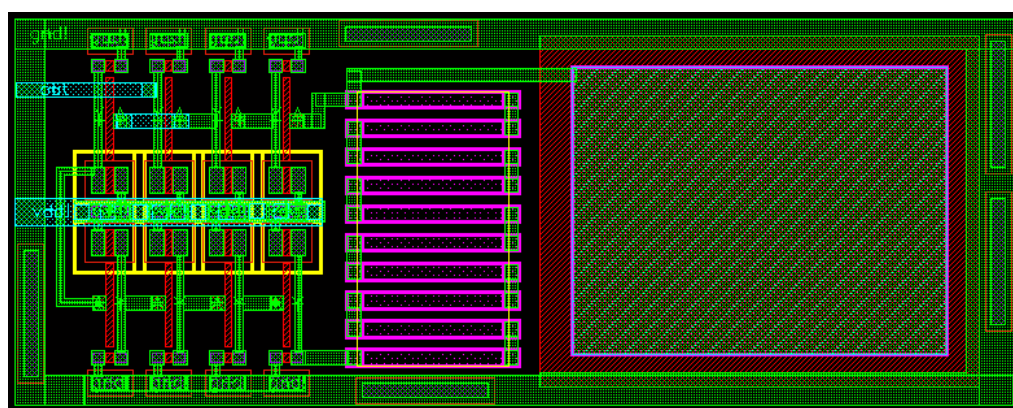


图 7-24 振荡器整体版图

## (8) 版图验证

DRC 和 LVS 操作方法与反相器设计时相同。模块级电路的 DRC 仍然允许金属面积问题，但不能有其它错误。

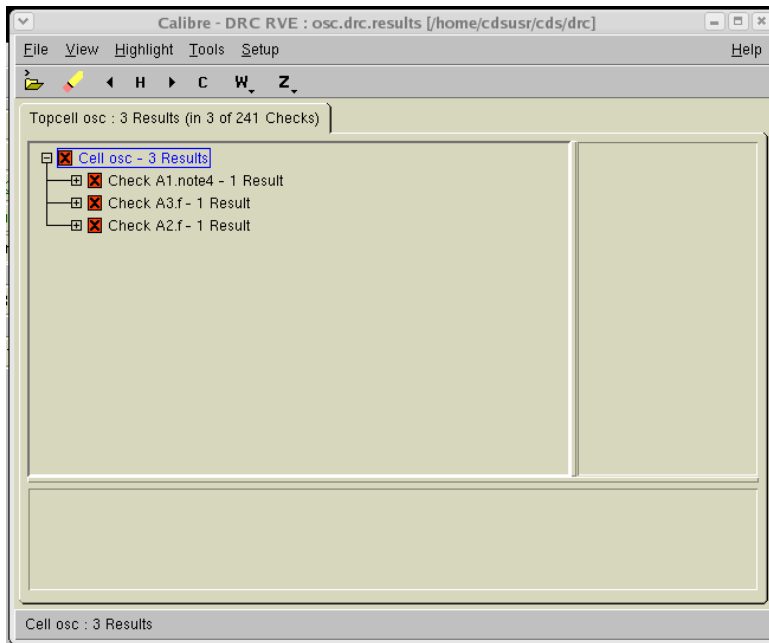


图 7-25 允许的 DRC 问题

LVS 是必须通过的，有时由于提取精度问题，电阻和电容的参数可能无法匹配，在这种情况下，可以修改原理图，方法是在原理图中将阻值设为计算参数，根据实际版图标注宽度、长度和段数。

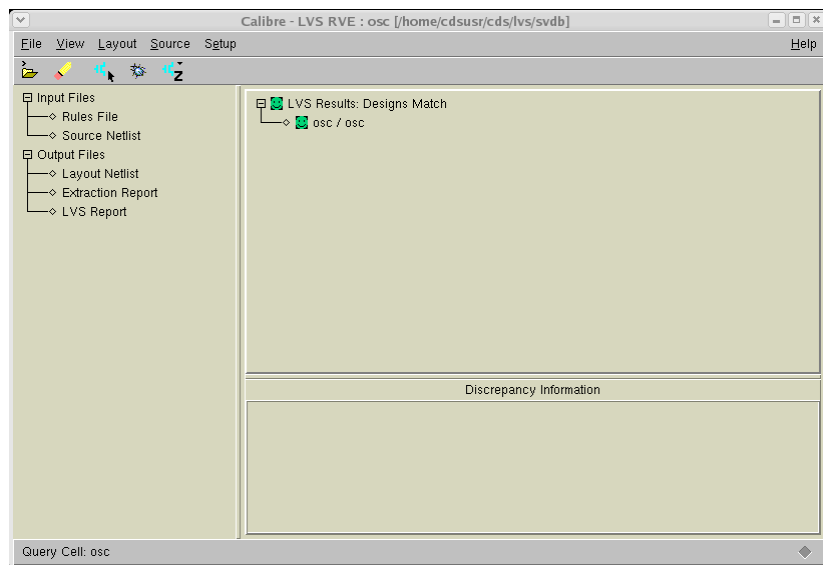


图 7-26 LVS 结果

#### (9) 提取寄生参数和后仿真

操作方法见第 6 章。后仿真

### 7.3 结束语

本课程以学习 EDA 工具为主要目标。我们通过两个设计实例介绍了全定制设计流程的各个设计步骤以及 Cadence 和 Calibre 两种主流 EDA 工具的基本使用方法。通过这些内容的学习，也可以了解这些 EDA 软件的设计思想。但是，本课程只涉及这些 EDA 工具的部分功能，要全面深入掌握，还需要在实际工程实践中继续学习和研究。